

Динамические ЗУПВ емкостью 1 Мбит с быстродействием статических ЗУПВ¹

Бернард Коул

Новое динамическое КМОП ЗУПВ емкостью 1 Мбит, изготовленное по технологии с 1,25-мкм проектными нормами без применения нестандартных технологических операций, характеризуется временем выборки 60 нс, достигнутым с помощью оригинальных схемных решений. Это ЗУ пригодно для совместной работы с высокопроизводительными 32-разрядными ЦП, функционирующими с тактовыми частотами от 15 до 40 МГц, и позволяет исключить периоды ожидания — раньше для этой цели приходилось применять кэш-память на базе статических ЗУПВ.

Разработчикам, желающим получить в свое распоряжение сверхбыстродействующие динамические ЗУПВ емкостью 1 Мбит, теперь есть куда обратиться. К их услугам новое динамическое ЗУПВ компании Alliance Semiconductor Corp., имеющее время выборки всего 60 нс и длительность цикла 100 нс. Столь высокое быстродействие позволяет исключить периоды ожидания при обмене с основной памятью (на базе таких ЗУПВ) высокопроизводительных 32-разрядных вычислительных устройств с тактовыми частотами от 15 до 40 МГц.

Компания Alliance (Сан-Хосе, шт. Калифорния) была организована двумя братьями, один из которых сегодня является ее президентом, а другой — вице-президентом. Эта компания сумела предложить потребителям ИС памяти, которая, вероятно, не слишком вдохновит поставщиков быстродействующих статических ЗУПВ и ЗУПВ типа кэш-памяти с тегированием. Благодаря новому ЗУ, получившему обозначение AS4C1002, системотехникам уже не нужно пользоваться кэш-памятью на базе более быстродействующих статических ЗУПВ, что, по словам Н. Редди, вице-президента по проектно-конструкторским работам, делается с целью компенсации более длительных времен выборки основной памяти на базе обычных динамических ЗУПВ.

ЗУ AS4C1002 изготовлено по КМОП-технологии с карманами p-типа, двумя уровнями поликремния и одним уровнем металлизации, причем используются относительно умеренные 1,25-мкм топологические нормы (рис. 1). Однако новое КМОП ЗУПВ компании Alliance, как говорит ее президент Д. Редди, вдвое превосходит по быстро-

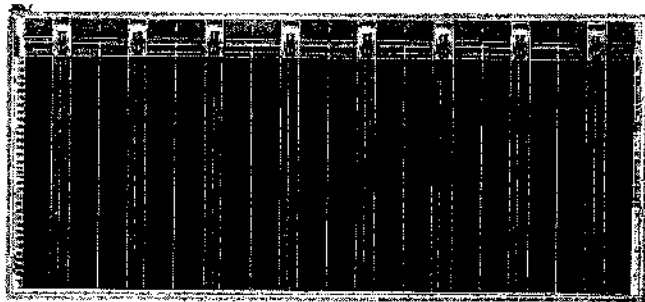


РИС. 1. В этом динамическом КМОП ЗУПВ емкостью 1 Мбит (с побитовой выборкой) компании Alliance используется целый ряд схемных новинок, которые позволили достичь времени выборки всего 60 нс при изготовлении ИС по технологии с умеренными 1,25-мкм проектными нормами.

действию конкурирующие динамические ЗУПВ емкостью 1 Мбит с такими же минимальными размерами элементов и по крайней мере на 25 % приборы с субмикронными размерами элементов.

Компания Alliance повысила быстродействие своего ЗУ не с помощью таких экзотических технологических приемов, как двухуровневая металлизация, формирование трехуровневого поликремния, изоляция канавками или получение конденсаторов в глубоких канавках, а благодаря совершенствованию схемных решений. Большую роль в повышении быстродействия и расширении пределов работоспособности ЗУ сыграло снижение помех по шинам питания. Метод предварительного заряда до уровня $0,5 V_{cc}$ со схемами последовательного восстановления состояния, дешифраторы-формирователи типа И-НЕ и распределенная система питания кристалла — все эти схемные решения внесли свой вклад в уменьшение уровня помех.

¹ Bernard Cole. 1-Mbit DRAM runs fast as a static RAM, pp. 107—109.

Для решения проблем, связанных с паразитными емкостями линий, специалисты компании Alliance использовали модернизированный вариант матрицы запоминающих элементов и оптимизировали быстродействие критических сигнальных цепей. Дифференциальная схема считывания триггерного типа обеспечивает повышение чувствительности усилителей считывания и вместе с тем способствует повышению быстродействия ЗУ в целом. В результате, как сообщают представители компании Alliance, новый прибор обладает высокой технологичностью и имеет площадь кристалла 52 мм^2 , что всего на 5—10 % больше, чем у аналогичных динамических ЗУПВ с меньшими размерами элементов. При этом размер кристалла памяти AS4C1002 достаточно мал и его можно монтировать в недорогие 18-выводные пластмассовые двухрядные корпуса шириной 7,62 мм. ЗУ AS4C1002 в настоящее время уже продается пробными партиями в 100 шт. по цене 70 долл. за экземпляр, говорит Д. Редди. Компания, кроме того, уже разработала модель такого прибора с организацией $256\text{K} \times 4$ бит. Опытные образцы этих приборов поступят в продажу в конце I квартала 1988 г.

Н. Редди говорит, что, хотя информационная емкость постоянно совершенствуемых динамических ЗУПВ в соответствии с запросами потребителей увеличивалась вдвое каждые три года, до последнего времени столь же заметных успехов в части снижения времен выборки и цикла не наблюдалось. Действительно, повышение информационной емкости ЗУ часто достигалось за счет снижения быстродействия. Однако с появлением высокопроизводительных 32-разрядных центральных процессоров с тактовыми частотами от 15 до 40 МГц перед схемотехниками во весь рост встала проблема повышения быстродействия динамических ЗУПВ, которые используются в качестве компонентов основной памяти.

Редди говорит, что главная функция такой основной памяти — это хранение программы, а также данных, которые используются микропроцессором в процессе выполнения последней. При повышении быстродействия микропроцессора время выборки ЗУ должно пропорционально снижаться. Это необходимо для обеспечения оптимальной производительности вычислительного устройства и исключения периодов ожидания. Такие периоды возникают в тех случаях, когда микропроцессору приходится ждать поступления данных от основной памяти в связи со слишком большим временем выборки из нее.

Среднее быстродействие основной памяти, которое требуется для того, чтобы исключить периоды ожидания, приблизительно равно $2 \times 1/f_c$, где f_c — тактовая частота микропроцессора. Если быстродействие основной памяти не удовлетворяет этим требованиям, то необходима буфер-

ная зона типа кэш-памяти, которая находится между относительно медленной основной памятью и быстродействующим ЦП.

«Такая альтернатива сопряжена с рядом проблем — повышением сложности устройств, увеличением их стоимости и ростом площади схемных плат, — говорит Редди. — Наиболее важный момент состоит в том, что данное техническое решение привязано к типу системы, где оно должно использоваться. Это означает, что в любом конкретном случае разработчик при выполнении определенных требований к системе вынужден каждый раз изыскивать специфические варианты решения проектных задач».

В прошлом большинство случаев повышения быстродействия динамических ЗУПВ было связано с совершенствованием технологии их изготовления, при котором достигалось уменьшение длины канала, или же с помощью нового фотолитографического оборудования и методов литографии повышалась разрешающая способность данного процесса. Редди говорит, что для большинства схем относительно невысокого уровня интеграции эти методы по-прежнему достаточно эффективны, однако для ИС высокого уровня интеграции таким способом можно добиться лишь небольшого повышения быстродействия, тогда как надежность приборов снижается. Он утверждает, что для динамических ЗУПВ емкостью 4 и 16 Мбит, отличающихся еще более высоким уровнем интеграции и работающих в диапазоне быстродействия 45—80 нс, вопросы надежности стоят еще более остро.

Одна из важнейших проблем функционирования статических и динамических ЗУПВ с высоким уровнем интеграции — это помехи, отмечает Редди. Традиционный «лобовой» подход к борьбе с помехами предусматривает совершенствование технологических процессов изготовления ЗУ. «Недостаток здесь состоит в том, что образуется порочный круг, — говорит он. — Дело в том, что для устранения помех требуется совершенствовать технологический процесс, а при каждой модернизации технологии возникают или усугубляются проблемы, связанные с другими аспектами изготовления ИС и сказывающиеся на быстродействии, надежности и сложности технологического процесса».

В любом динамическом ЗУПВ существуют три вида помех: по шине питания V_{cc} , по земляной шине V_{ss} и по подложке V_{bb} . Все эти виды помех взаимосвязаны. Чем меньше потребляемый ток по шине V_{cc} , тем меньше ток разряда через шину V_{ss} , что в свою очередь уменьшает помехи из-за связи с подложкой ИС.

Чтобы уменьшить помехи по цепям источника питания, в ИС компании Alliance предусмотрена модифицированная схема предзаряда до напряжения $0,5 V_{cc}$, в которой традиционная схема

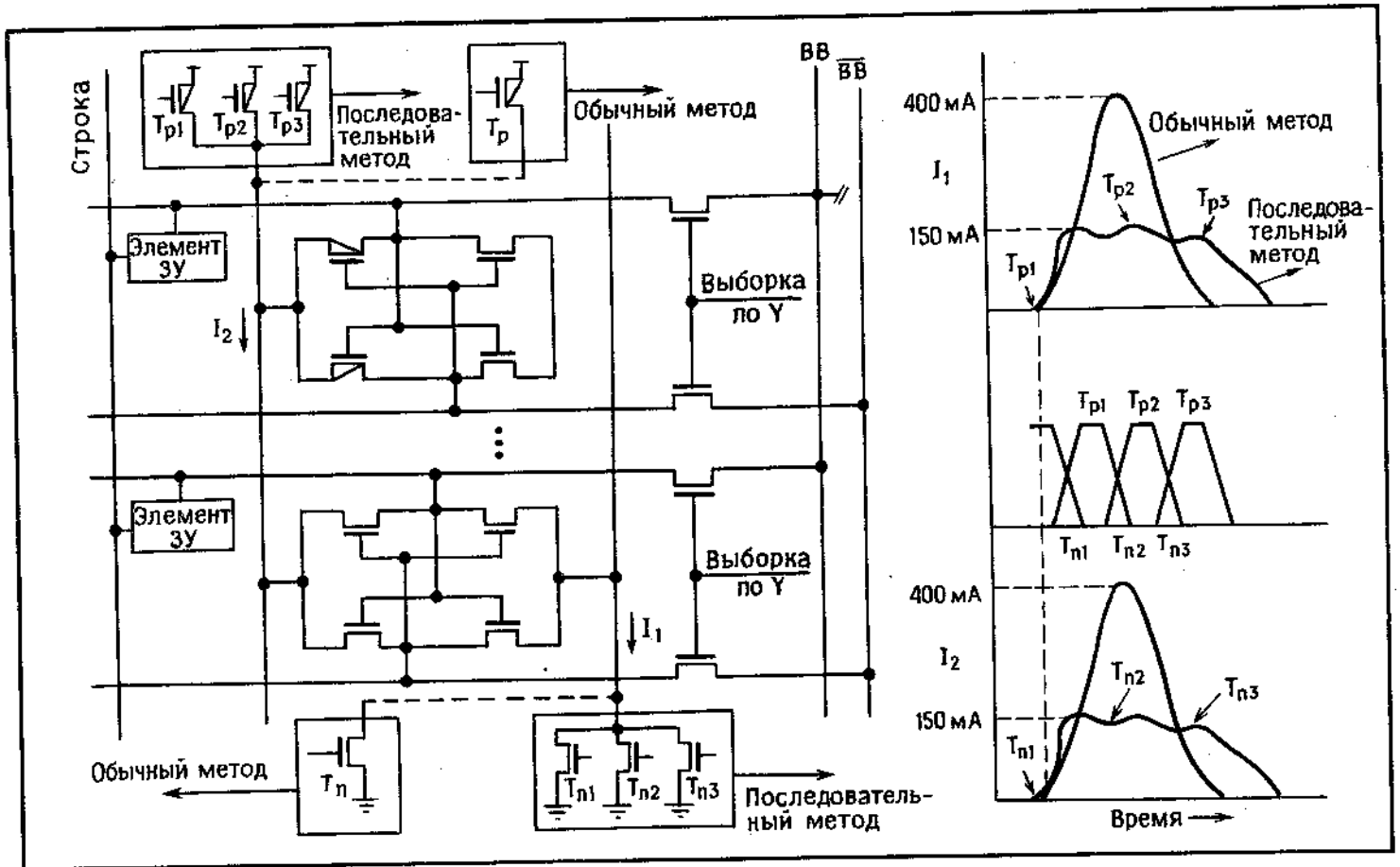


РИС. 2. Для уменьшения помех и повышения надежности в динамическом ЗУПВ компании Alliance применяется схема предзаряда до $0,5 V_{cc}$ и последовательные схемы восстановления уровня, выполненные на переключаательных транзисторах T_n и T_p . Это позволило практически исключить сильные кратковременные броски тока по цепи питания.

усилителя считывания с парными фиктивными словарными линиями заменена схемой последовательного типа (рис. 2). Такая замена обеспечивает нужные токи заряда и разряда и устраняет броски тока в шинах V_{cc} и V_{ss} на начальной стадии операции считывания.

В стандартной схеме с напряжением $0,5 V_{cc}$ формируемое на выбранной словарной линии напряжение с помощью бутстрепного каскада усиления поднимается выше уровня V_{cc} . Это позволяет получать большой сигнал от запоминающего элемента, обеспечивающий повышенное быстродействие, и заносить в такой элемент полный уровень напряжения V_{cc} , что дает повышенный запас работоспособности при считывании. Одновременно напряжение на одной из пар фиктивных словарных линий, заранее установленное на уровне $0,5 V_{cc}$, растет до полного напряжения V_{cc} , тогда как напряжение на другой паре падает до уровня V_{ss} . В результате напряжение на опорной разрядной линии устанавливается в заданной промежуточной точке.

Во время активного цикла после считывания на одной из пар разрядных линий сохраняется полное напряжение V_{cc} , которое задается схемой

восстановления на р-канальных приборах (T_p), а на другой — напряжение V_{ss} , задаваемое схемой на п-канальных приборах T_n . В конце активного цикла пары разрядных линий, а также пары фиктивных словарных линий закорачиваются между собой, и на них без разряда во внешнюю цепь устанавливаются равные напряжения $0,5 V_{cc}$. Кроме того, сигнал уровня $0,5 V_{cc}$ подается на фиктивные словарные линии, чтобы устранить разбаланс напряжений из-за токов утечки во время цикла предзаряда при выборке строки.

Редди говорит, что проблема практической реализации данного подхода состоит в необходимости разряжать емкости величиной до 500 пФ за время всего 10—20 нс. Это вызывает броски тока питания до 450 мА. Такие броски тока в свою очередь вызывают электромиграцию в токонесящих металлических проводниках, тем самым снижая надежность прибора.

«Данная проблема с ростом уровня интеграции схем памяти и уменьшением ширины линий становится все серьезнее, — отмечает Редди. — Кроме того, броски тока создают немалые трудности для разработчиков плат памяти, так как для уменьшения уровня таких бросков требуются

БРАТЬЯ РЕДДИ — УДАЧЛИВЫЕ РАЗРАБОТЧИКИ ИС ПАМЯТИ

Братья Редди — 47-летний Дэн и 31-летний Ник — говорят, что, проработав на двоих 30 лет в различных полупроводниковых компаниях, они усвоили достаточно простую философию. Ее суть такова: «Если вы хотите, чтобы что-то было сделано хорошо, делайте это сами». Такой принцип привел их к тому, что в середине 1986 г. они организовали собственную компанию Alliance Semiconductor (Сан-Хосе, шт. Калифорния), так как считали, что другие фирмы руководствовались неверными подходами к созданию и сбыту ИС памяти.

Дэн Редди привнес в компанию Alliance свой 19-летний опыт в области создания технологических процессов производства п- и р-канальных МОП ИС и руководства разработками ИС, который он приобрел в таких фирмах, как Fairchild, Four Phase, Modular Semiconductor, RCA и Synertek. Ник Редди проработал 10 лет в компаниях Texas Instruments Inc. и Cypress Semiconductor Corp. как разработчик схем памяти.

В качестве своего первого изделия для рынка ИС памяти компания Alliance выбрала динамическое ЗУПВ емкостью 1 Мбит. Она рассчитывает добиться преимуществ перед другими поставщиками динамических ЗУПВ, предложив прибор с лучшей комбинацией быстродействия и стоимости.

В отличие от прочих фирм — изготовителей ЗУ, которые вложили основные капиталы в развитие собственных технологических процессов и производственного оборудования, компания Alliance действует в области создания и производства приборов памяти примерно так же, как многие фирмы — изготовители полупроводниковых логических ИС. Она, по словам ее руководителей, намерена вкладывать основную часть своих ресурсов в разработку оригинальных схемных решений и новых изделий, а для практического изготовления приборов будет прибегать к услугам кремниевых мастерских.

блокировочные конденсаторы. С уменьшением времен цикла и соответствующим увеличением уровня бросков тока эта проблема становится все острее».

В ИС памяти компании Alliance ее решают путем замены одиночных р- и п-канальных переключательных транзисторов в схемах восстановления уровня тройками транзисторов (T_{n1} , T_{n2} и T_{n3} , T_{p1} , T_{p2} и T_{p3}). По словам Редди, эти тройки включены таким образом, чтобы можно было последовательно пропускать через них три импульса тока амплитудой по 150—200 мА в течение 50 нс, а не одиночный 450-мА импульс длительностью 10 или 20 нс.

Дальнейшее снижение помех достигается благодаря использованию схемы дешифратора-формирователя типа И-НЕ, в котором заряжается выходной каскад только выбранного дешифраторного элемента. В традиционных схемах такого рода заряжаются все выходы дешифратора, после чего разряжаются все дешифраторы-формирователи за исключением выбранного. «Поэтому помехи, генерируемые при заряде и разряде многих дешифраторов-формирователей, устраняются, и срабатывание происходит только в одном таком каскаде», — говорит Редди.

Еще одно преимущество схемы типа И-НЕ, по его словам, состоит в том, что она уменьшает

уровень помех, наводимых дешифратором в подложку (V_{bb}), тем самым устраняя возможные сложности перед началом считывания, способные отрицательно повлиять на функционирование усилителя считывания. «Такое схемное решение значительно повышает быстродействие, поскольку падения напряжения на металлических шинах V_{cc} и V_{ss} теперь отсутствуют», — отмечает Редди.

Специалистам компании Alliance удалось также добиться дополнительного повышения быстродействия своего динамического ЗУПВ с помощью распределенной разводки питания вместо общей шины питания, используемой в современных приборах памяти. В предложенном компанией Alliance конструкторском решении к различным блокам ЗУ подведены отдельные шины питания, а сама разводка шин сделана с учетом последовательности событий в ИС памяти. «Это позволяет устранить падение напряжения, которое возникает, когда сразу в несколько блоков токи питания поступают одновременно по одной шине V_{cc} », — говорит Редди.

Другая серьезная проблема, с которой столкнулись разработчики нового динамического ЗУПВ при попытке повысить уровень интеграции без потери быстродействия, — это паразитные емкости линий. «С ростом уровня интеграции длины соединительных линий в схемах увеличиваются», — говорит Редди, — а чем длиннее становится линия, тем больше ее паразитная емкость. В результате не только увеличивается путь движения сигналов, но и должна расти их мощность, так как возрастает емкость, на которую работают их формирователи». Традиционные методы разрешения этой дилеммы — улучшение характеристик транзисторов путем совершенствования технологического процесса или уменьшение паразитных параметров линий благодаря переходу на другие материалы межсоединений. Оба пути, как говорит Редди, сопряжены с повышением стоимости и снижением надежности ИС.

И в данном случае компания Alliance пошла по пути не технологических, а схемных усовершенствований. Проблему решили, модифицировав архитектуру матрицы запоминающих элементов и разработав оригинальную схему дифференциального усилителя считывания триггерного типа. В ИС AS4C1002 матрица запоминающих элементов имеет 2048 строк и 512 столбцов. Такая организация обеспечивает значительное снижение емкостей столбцовых линий ввода-вывода по сравнению с теми емкостями, которые характерны для матриц с организацией 1024 строки $\times$ 1024 столбца. Как утверждает Редди, это достигается благодаря уменьшению количества транзисторов выбора столбца, подключенных к линии ввода-вывода.

Чтобы воспользоваться данным преимуществом, компания Alliance применила для считыва-

ния дифференциальных напряжений упомянутую схему считывания триггерного типа, добившись в результате повышения как чувствительности, так и быстродействия усилителя. В конструкции новой ИС фирмы Alliance сдвиг уровней происходит одновременно со считыванием дифференциального сигнала. Такая схема имеет высокое быстродействие, потому что считывание в ней выполняет дифференциальный усилитель, а сдвиг уровней — триггер-фиксатор, причем оба этих схемных элемента выполнены как один каскад.

В традиционных тактируемых динамических ЗУПВ применяется усилитель триггерного типа, который непосредственно считывает сигнал с линий ввода-вывода матрицы. Редди отмечает, что

недостаток такой схемы обусловлен большими паразитными емкостями линий ввода-вывода, которые требуется разряжать, что снижает быстродействие схемы считывания. Другая схема с аналогичными недостатками, по его словам, построена на базе дифференциального усилителя, который считывает сигналы с линий ввода-вывода не непосредственно, а через схему сдвига уровней. «Такая схема имеет несколько более высокое быстродействие, чем схема прямого считывания, но и она не позволяет получить принципиально доступную скорость считывания, так как содержит источники тока и схемы сдвига уровня, работа которых зависит от напряжения V_{cc} », — говорит он.