

Особенности архитектуры нового поколения высокопроизводительных ПЛИС FPGA фирмы Xilinx серии Virtex-6

Валерий ЗОТОВ
walerry@km.ru

Несмотря на изменения в динамике развития современной цифровой микроэлектроники, обусловленные влиянием мирового экономического кризиса, фирма Xilinx продолжает уверенно занимать лидирующую позицию на рынке ПЛИС. Подтверждением этому стал выпуск в начале текущего года двух новых серий кристаллов с архитектурой FPGA [1] — Virtex-6 и Spartan-6. Данные серии ПЛИС являются результатом постоянного совершенствования технологии производства кристаллов программируемой логики и внедрения новых архитектурных решений.

Кристаллы серии Virtex-6, обладающие комплектом разнообразных встроенных специализированных аппаратных ресурсов, включающим в себя секции цифровой обработки сигналов (ЦОС), высокоскоростные последовательные приемопередатчики, модули интерфейса PCI Express, контроллеры интерфейса Tri-mode Ethernet, предназначены, прежде всего, для реализации телекоммуникационных устройств с высоким быстродействием, сверхскоростных систем передачи, приема и обработки массивов данных, высокопроизводительных устройств ЦОС. Кроме того, представители этой серии могут использоваться в качестве основы для разработки встраиваемых микропроцессорных систем, выполняемых на базе конфигурируемых 32-разрядных ядер семейства MicroBlaze [2–5] с помощью комплекса средств Xilinx Embedded Development Kit (EDK) [6].

ПЛИС серии Spartan-6 имеют не такие высокие показатели производительности, как кристаллы семейств Virtex-6, но при этом отличаются существенно меньшей стоимостью и поэтому ориентированы на применение в составе серийно выпускаемой аппаратуры.

Целью настоящей публикации является ознакомление разработчиков с особенностями, основными характеристиками ПЛИС и составом серии Virtex-6.

Особенности кристаллов с архитектурой FPGA серии Virtex-6

Кристаллы серии Virtex-6 разработаны на основе третьего поколения модульной архитектуры ASMBL (Advanced Silicon Modular Block) и производятся по КМОП-технологии

40 нм. ПЛИС данной серии обладают всеми преимуществами кристаллов предшествующего поколения, представленного семействами Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT [7–16]. Кроме того, ПЛИС новой серии Virtex отличаются рядом характерных особенностей, к числу наиболее заметных из которых относятся:

- более высокая производительность в сочетании со снижением стоимости по сравнению с кристаллами предыдущего поколения ПЛИС серии Virtex-5;
- существенное уменьшение уровня общей потребляемой мощности за счет внедрения новых технологических решений, включающих в себя, в частности, использование новых транзисторов различных типов, сокращение их размеров, применение диэлектрика с низким значением диэлектрической постоянной (Low-K), снижение напряжения питания ядра кристаллов до 1 В;
- наличие вариантов ПЛИС Virtex-6 с пониженным энергопотреблением, в которых значение напряжения питания ядра кристаллов составляет 0,9 В;
- применение в составе архитектуры кристаллов усовершенствованных конфигурируемых логических блоков (Configurable Logic Block, CLB), выполненных на основе реальных шестивходовых таблиц преобразования Look-Up Table (LUT) с применением дополнительных триггеров, позволяющих существенно расширить возможности реализации конвейерной организации обработки данных в проектируемых устройствах и системах;
- новая комплексная система распределения тактовых сигналов внутри кристалла, включающая пять различных типов линий

и обеспечивающая минимизацию задержек распространения сигналов на трассировочных ресурсах ПЛИС;

- использование новых блоков управления синхронизацией Clock Management Tile (CMT), включающих в себя два комбинированных модуля управления синхронизацией Mixed-Mode Clock Managers (MMCM);
- увеличенный более чем в три раза объем распределенной памяти кристаллов, достигающий 8280 К в ПЛИС с максимальным количеством логических ресурсов;
- более чем двукратное увеличение числа модулей двухпортовой блочной памяти Block RAM емкостью 36 кбит со встроенной системой обнаружения и коррекции ошибок ECC (Error Correction Checking) и поддержкой режима побайтной записи, которые могут использоваться также в виде двух независимых блоков объемом 18 кбит или конфигурироваться в виде запоминающих устройств, функционирующих по принципу «первым вошел — первым вышел» (first-in first-out, FIFO);
- применение модернизированных аппаратных секций цифровой обработки сигналов DSP48E1 с возможностью работы на частотах до 600 МГц и расширенными функциональными возможностями, которые позволяют добиться дальнейшего повышения производительности разрабатываемых устройств ЦОС;
- использование во всех кристаллах новой модификации последовательных высокоскоростных приемопередатчиков третьего поколения RocketIO типа GTX, поддерживающих скорости приема и передачи данных до 6,5 Гбит/с при минимальной потребляемой мощности;

- внедрение усовершенствованной технологии SelectI/O, использующей модули цифрового управления импедансом Digitally controlled impedance (DCI) и интерфейсные блоки ChipSync, обеспечивающей поддержку широкого спектра однополюсных и дифференциальных цифровых стандартов ввода/вывода с уровнями сигналов от 1,2 до 2,5 В;
- наличие интегрированных аппаратных модулей PCI Express следующего поколения, соответствующих спецификации PCI Express Base Specification Revision 2.0, которые могут конфигурироваться как конечное устройство (Endpoint) или как корневой порт (Root Port) и поддерживают полную буферизацию передаваемых и принимаемых данных с использованием блочной памяти, а также совместное функционирование с высокоскоростными приемопередатчиками RocketIO GTX;
- присутствие встроенных аппаратных контроллеров интерфейса Tri-mode Ethernet Media Access Controller (TEMAC), соответствующих спецификации IEEE Std 802.3-2005 и поддерживающих протоколы 1000BASE-X PCS/PMA и SGMII в случае применения высокоскоростных приемопередатчиков RocketIO типа GTX, а также MII, GMII, RGMII при использовании технологии SelectI/O;
- наличие в каждом кристалле модуля системного мониторинга System Monitor, предназначенного для контроля значений температуры ПЛИС, уровней напряжений питания, а также состояния 17 внешних датчиков, подключаемых к соответствующим аналоговым входам, с возможностью программирования через порт JTAG-интерфейса максимального значения температуры, при котором производится отключение напряжения питания кристалла;
- поддержка высокоскоростных интерфейсов памяти различного типа, включая DDR3 1066+ Мбит/с;
- значительное увеличение количества пользовательских входов/выходов, которое доходит до 1200 в зависимости от используемого типа корпуса ПЛИС;
- расширенный ряд корпусного исполнения, включающий варианты корпусов с выводами, предназначенными как для стандартных технологических процессов производства радиоэлектронной аппаратуры, так и процессов без применения свинца.

Все перечисленные особенности и функциональные возможности кристаллов серии Virtex-6 полностью поддерживаются новой версией системы проектирования Xilinx ISE (Integrated Software Environment /Integrated Synthesis Environment) Design Suite 11, которая уже доступна разработчикам. Более подробно о ресурсах и новых решениях, применяемых в архитектуре ПЛИС данной серии, будет рассказано в последующих разделах.

Состав и основные характеристики ПЛИС серии Virtex-6

В настоящее время в состав рассматриваемой серии ПЛИС входят два семейства кристаллов — Virtex-6 LXT и Virtex-6 SXT. Семейство Virtex-6 LXT представлено семью типами кристаллов, содержащих от 74 496 до 758 784 логических ячеек Logic Cells. Основные характеристики ПЛИС данного семейства, отражающие сведения об объеме доступных ресурсов различного типа, представлены в таблице 1.

При ознакомлении с этой таблицей следует обратить внимание на то, что кристалл с максимальным объемом логических ресурсов, входящий в состав семейства Virtex-6 LXT, не содержит аппаратных модулей интерфейса PCI Express, аппаратных блоков 10/100/1000 Мбит/с Ethernet MAC и высокоскоростных последовательных приемопередатчиков RocketIO GTX. Поэтому отсутствие в условном обозначении данного типа ПЛИС (XC6VLX760) символа T указывает на то, что структура этого кристалла скорее соответствовала бы архитектуре семейства Virtex-6 LX (по аналогии с семейством Virtex-5 LX, входящим в состав серии Virtex-5 [7, 8]), если бы оно было представлено в новой серии.

Информация о корпусном исполнении каждого типа ПЛИС семейства Virtex-6 LXT с указанием количества доступных высокоскоростных последовательных приемопередатчиков RocketIO типа GTX и пользовательских входов/выходов приведена в таблице 2. Судя по данным из этой таблицы, в кристалле XC6VLX550T, выпускаемом в корпусах FF1760 и FFG1760, отсутствуют высокоскоростные последовательные приемопередатчики RocketIO GTX. По всей видимости, такое решение объясняется необходимостью обеспечения совместимости по выводам с ПЛИС XC6VLX760, которые производятся только в указанных корпусах.

Семейство Virtex-6 SXT содержит два типа ПЛИС с 314 880 и 476 160 логическими ячейками Logic Cells. Кристаллы данного семейства отличаются от ПЛИС семейства Virtex-6 LXT, прежде всего, повышенной концентрацией аппаратных секций цифровой обработки сигналов DSP48E1 и большим объемом блочной памяти Block RAM. В ПЛИС XC6VSX475T количество аппаратных секций ЦОС достигает 2016, а число модулей блочной памяти — 1064, суммарный объем которых составляет 38 304 кбит. Такое соотношение стандартных логических ресурсов, блочной памяти Block RAM и специализированных аппаратных мо-

Таблица 1. Основные параметры ПЛИС семейства Virtex-6 LXT

Тип ресурсов ПЛИС		Тип кристалла						
		XC6VLX75T	XC6VLX130T	XC6VLX195T	XC6VLX240T	XC6VLX365T	XC6VLX550T	XC6VLX760
Логические ресурсы	Количество секций Slices	11 640	20 000	31 200	37 680	56 880	85 920	118 560
	Общее число триггеров CLB	93 120	160 000	249 600	301 440	455 040	687 360	948 480
	Число логических ячеек Logic Cells	74 496	128 000	199 680	241 152	364 032	549 888	758 784
Ресурсы памяти	Объем распределенной памяти (1 К = 1024 бит)	1045 К	1740 К	3040 К	3650 К	4130 К	6200 К	8280 К
	Количество модулей блочной памяти Block RAM емкостью 36 кбит	156	264	344	416	416	632	720
	Объем блочной памяти (1 К = 1024 бит) Block RAM	5616 К	9504 К	12 384 К	14 976 К	14 976 К	22 752 К	25 920 К
Модули синхронизации	Количество блоков управления синхронизацией Clock Management Tiles (CMT)	3	5	5	6	6	9	9
	Число модулей управления синхронизацией Mixed-Mode Clock Managers (MMCM)	6	10	10	12	12	18	18
Встроенные специализированные аппаратные модули	Число аппаратных секций DSP48E1	288	480	640	768	576	864	864
	Число аппаратных модулей PCI Express	1	2	2	2	2	2	0
	Количество аппаратных блоков 10/100/1000 Мбит/с Ethernet MAC	4	4	4	4	4	4	0
Ресурсы ввода/вывода	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX	12	20	20	24	24	36	0
	Количество банков ввода/вывода	9	15	15	18	18	30	30
	Максимальное число пользовательских выводов	360	600	600	720	720	1200	1200
	Максимальное число дифференциальных пар выводов	180	300	300	360	360	600	600
Варианты быстройдействия ПЛИС	Поддерживаемые стандарты сигналов ввода/вывода	Hypertransport (HT), LVCMOS (2,5, 1,8, 1,5 и 1,2 В), HSTL I (1,2, 1,5 и 1,8 В), HSTL II (1,5 и 1,8 В), HSTL III (1,5 и 1,8 В), LVDS, Extended LVDS, RSDS, BLVDS (Bus LVDS), LVPECL, SSTL I (1,8 и 2,5 В), SSTL II (1,8 и 2,5 В), SSTL (1,5 В).						
	Варианты быстройдействия для коммерческого исполнения	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2	-L1, -1, -2
Конфигурационная память	Варианты быстройдействия для промышленного исполнения	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1	-L1, -1
	Объем конфигурационной памяти, Мбит	26,1	43,5	61,4	73,6	95,8	143,7	184,4

Таблица 2. Типы корпусного исполнения ПЛИС семейства Virtex-6 LXT

Тип кристалла	Тип корпуса ПЛИС									
	FF484, FFG484		FF784, FFG784		FF1156, FFG1156		FF1759, FFG1759		FF1760, FFG1760	
	23×23 мм		29×29 мм		35×35 мм		42,5×42,5 мм		42,5×42,5 мм	
	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов
XC6VLX75T	8	240	12	360	—	—	—	—	—	—
XC6VLX130T	8	240	12	400	20	600	—	—	—	—
XC6VLX195T	—	—	12	400	20	600	—	—	—	—
XC6VLX240T	—	—	12	400	20	600	24	720	—	—
XC6VLX365T	—	—	—	—	20	600	24	720	—	—
XC6VLX550T	—	—	—	—	—	—	36	840	0	1200
XC6VLX760	—	—	—	—	—	—	—	—	0	1200

Таблица 3. Основные параметры ПЛИС семейства Virtex-6 SXT

Тип ресурсов ПЛИС	Тип кристалла		
	XC6V SX315T	XC6V SX475T	
Логические ресурсы	Количество секций Slices	49 200	74 400
	Общее число триггеров CLB	393 600	595 200
	Число логических ячеек Logic Cells	314 880	476 160
Ресурсы памяти	Объем распределенной памяти (1 K = 1024 бит)	5090 K	7640 K
	Количество модулей блочной памяти Block RAM емкостью 36 кбит	704	1064
	Объем блочной памяти (1 K = 1024 бит) Block RAM	25 344 K	38 304 K
Модули синхронизации	Количество блоков управления синхронизацией Clock Management Tiles (CMT)	6	9
	Число модулей управления синхронизацией Mixed-Mode Clock Managers (MMCM)	12	18
Встроенные специализированные аппаратные модули	Число аппаратных секций DSP48E1	1344	2016
	Число аппаратных модулей PCI Express	2	2
	Количество аппаратных блоков 10/100/1000 Мбит/с Ethernet MAC	4	4
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX	24	36
Ресурсы ввода/вывода	Количество банков ввода/вывода	18	21
	Максимальное число пользовательских выводов	720	840
	Максимальное число дифференциальных пар выводов	360	420
	Поддерживаемые стандарты сигналов ввода/вывода	Hypertransport (HT), LVCMOS (2,5, 1,8, 1,5 и 1,2 В), HSTL I (1,2, 1,5 и 1,8 В), HSTL II (1,5 и 1,8 В), HSTL III (1,5 и 1,8 В), LVDS, Extended LVDS, RSDS, BLVDS (Bus LVDS), LVPECL, SSTL I (1,8 и 2,5 В), SSTL II (1,8 и 2,5 В), SSTL (1,5 В)	
Варианты быстродействия ПЛИС	Варианты быстродействия для коммерческого исполнения	-1, -1, -2, -3	-1, -1, -2
	Варианты быстродействия для промышленного исполнения	-1, -1, -2	-1, -1
Конфигурационная память	Объем конфигурационной памяти, Мбит	104,2	156,3

Таблица 4. Типы корпусного исполнения ПЛИС семейства Virtex-6 SXT

Тип кристалла	Тип корпуса ПЛИС			
	FF1156, FFG1156		FF1759, FFG1759	
	35×35 мм		42,5×42,5 мм	
	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов
XC6V SX315T	20	600	24	720
XC6V SX475T	20	600	36	840

дулей определяет основное назначение кристаллов семейства Virtex-6 SXT. В первую очередь, ПЛИС этого семейства предназначены для реализации сверхскоростных устройств и систем цифровой обработки сигналов. Подробные сведения о количестве доступных логических и специализированных аппаратных ресурсов каждого типа в кристаллах семейства Virtex-6 SXT содержатся в таблице 3.

Сведения о применяемых разновидностях корпусов для каждого типа ПЛИС семейства Virtex-6 SXT с указанием количества доступ-

ных пользовательских выводов и высокоскоростных приемопередатчиков RocketIO типа GTX приведены в таблице 4. Все кристаллы семейств Virtex-6 LXT и Virtex-6 SXT обладают полной совместимостью по выводам в случае использования одинаковых корпусов, что существенно облегчает переход от одного семейства ПЛИС к другому.

Детальное описание технических характеристик, архитектуры и особенностей применения кристаллов семейств Virtex-6 LXT и Virtex-6 SXT можно найти в [17–28].

Основные отличия логических и специализированных аппаратных ресурсов кристаллов серии Virtex-6 от ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT

На первый взгляд, в состав архитектуры кристаллов серии Virtex-6 входят те же типы основных логических и специализированных аппаратных ресурсов, что и в ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT. Основные отличия этих ресурсов проявляются в уровне их реализации. В подавляющем большинстве ресурсы кристаллов серии Virtex-6 обладают более высокими техническими характеристиками и более широким спектром функциональных возможностей по сравнению с однотипными блоками ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT.

Основу архитектуры кристаллов семейств Virtex-6 LXT и Virtex-6 SXT образует массив конфигурируемых логических блоков CLB, в которых, как и в ПЛИС предыдущего поколения серии Virtex, используются реальные шестивходовые таблицы преобразования LUT, позволяющие реализовать функции большого числа переменных без применения дополнительных логических ресурсов и тем самым повысить быстродействие разрабатываемых устройств. Но в отличие от ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT в конфигурируемых логических блоках кристаллов серии Virtex-6 с каждой таблицей преобразования LUT сопряжен не один, а два триггера. На рис. 1 в наглядной форме поясняется основное различие конфигурируемых логических блоков CLB в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT и кристаллах серии Virtex-5.

Двукратное увеличение количества триггеров, подключенных к выходам таблиц преобразования LUT, не только обеспечивает значительное расширение возможностей реализации конвейерной организации обработки данных в проектируемых устройствах, но и позволяет конфигурировать шестивходовые таблицы преобразования LUT в виде двойных пятиходовых функциональных генераторов с общими входами и отдельными выходами. Использование этих особенностей логических ресурсов в ПЛИС серии Virtex-6 позволяет значительно повысить производительность разрабатываемых на их основе устройств и систем.

В составе структуры конфигурируемых логических блоков CLB ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT используются секции двух типов — SLICEM и SLICEL, полная функциональная схема которых изображена на рис. 2, 3 соответственно.

Дополнительные триггеры, отсутствующие в кристаллах серии Virtex-5, на этих рисунках имеют условные обозначения FF.

При использовании данных элементов следует учитывать, что они могут конфигурироваться только как триггеры с динамическим управлением (flip-flop). Традиционные триггерные элементы, применяемые в составе ПЛИС как новых семейств Virtex-6 LXT и Virtex-6 SXT, так и в кристаллах предыдущего поколения Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT, могут быть сконфигурированы как триггеры с динамическим или потенциальным управлением (защелки, latch). Условные графические образы этих триггеров на рис. 2 и рис. 3 обозначены как FF/LAT. Более подробные сведения об архитектуре и использовании конфигурируемых логических блоков ПЛИС серии Virtex-6 приведены в [22].

Обобщенная структура модулей блочной памяти Block RAM, высокоскоростных последовательных приемопередатчиков RocketIO типа GTX и аппаратных модулей интерфейса PCI Express кристаллов серии Virtex-6 практически не отличается от ПЛИС предыдущего поколения [12]. Но нужно обратить внимание на то, что в отличие от модулей интерфейса PCI Express кристаллов семейств Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT [14], соответствующих спецификации PCI Express Base Specification 1.1, данные модули в ПЛИС новой серии обладают полной совместимостью со стандартом PCI Express Base Specification Revision 2.0. Интерфейсные аппаратные модули PCI Express, применяемые в кристаллах семейств Virtex-6 LXT и Virtex-6 SXT, обеспечивают скорость передачи данных в каждом направлении до 2,5 Гбит/с (Gen1) и до 5,0 Гбит/с (Gen 2) при совместном использовании с последовательными приемопередатчиками RocketIO типа GTX.

Аппаратные блоки контроллеров интерфейса Tri-mode Ethernet Media Access Controller (ТЕМАС), применяемые в ПЛИС серии Virtex-6, имеют более простую архитектуру по сравнению со структурой аналогичных модулей, установленных в кристаллах семейств Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT [13]. В их состав входит только один контроллер ЕМАС вместо двух, представленных в блоках предыдущего поколения. Но при этом блоки контроллеров ТЕМАС, используемых в кристаллах новой серии, обладают дополнительными функциональными возможностями и более высокими техническими характеристиками [24]. В частности, эти аппаратные блоки поддерживают скорости обмена данными до 2,5 Гбит/с. Структура аппаратного блока контроллера интерфейса ТЕМАС, используемого в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT, показана на рис. 4.

Новая модификация аппаратных секций цифровой обработки сигналов (ЦОС) DSP48Е1, используемая в ПЛИС серии Virtex-6, обладает полной совместимостью с предыдущим вариантом этих специализированных

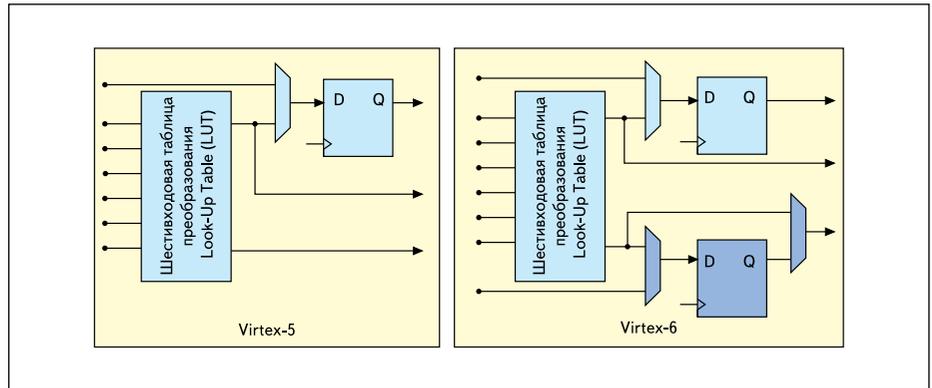


Рис. 1. Основное различие секций конфигурируемых логических блоков CLB ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT и кристаллов серии Virtex-5

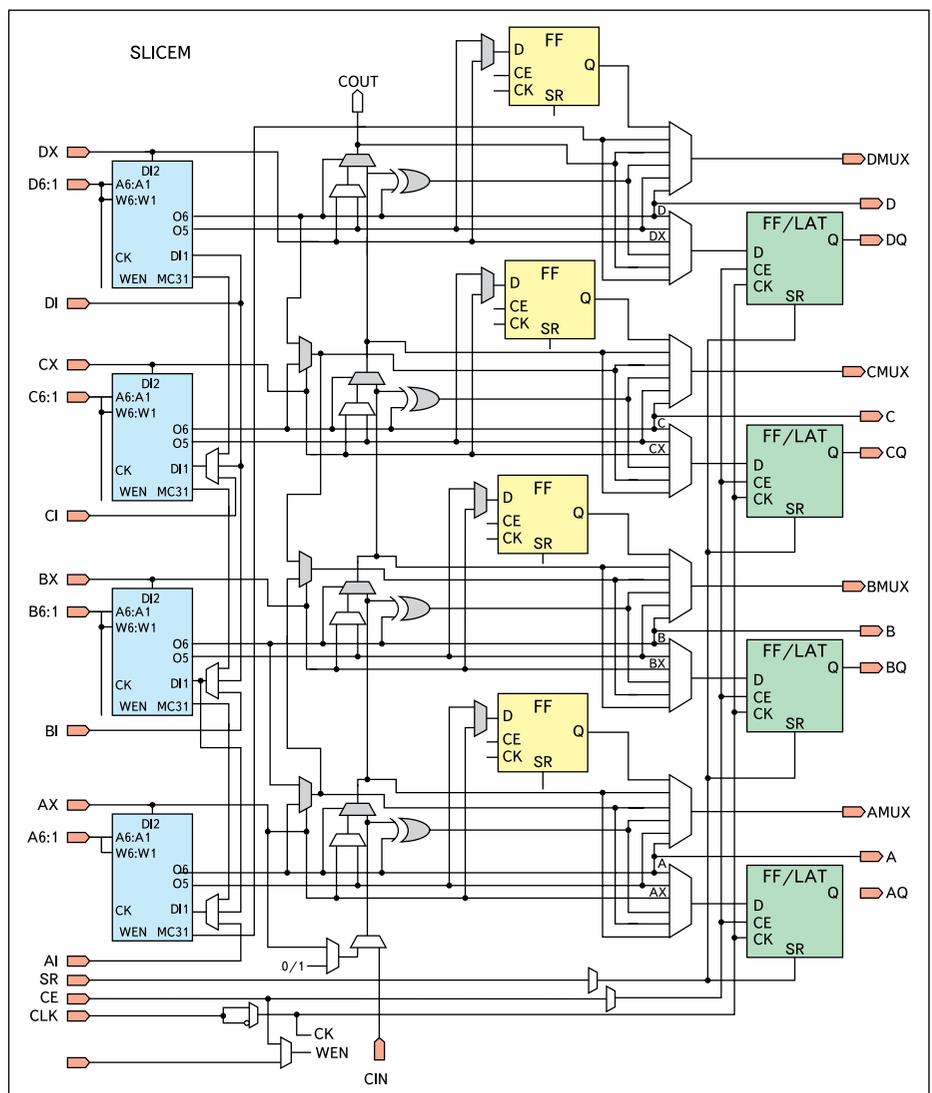


Рис. 2. Функциональная схема секции SLICEM конфигурируемых логических блоков CLB ПЛИС серии Virtex-6

модулей и в то же время имеет несколько преимуществ по сравнению с базовой версией DSP48Е, которая подробно рассмотрена в [10, 15]. В состав архитектуры модернизированных секций ЦОС включены дополнительный (предварительный) сумматор, который расположен перед умножителем 25×18, и соот-

ветствующая входная 25-разрядная шина данных. Кроме того, на входе дополнительного сумматора, как и на входах умножителя, установлены по два буферных регистра с отдельными входами разрешения синхронизации. Подробная структурная схема модернизированной аппаратной секции ЦОС, применяе-

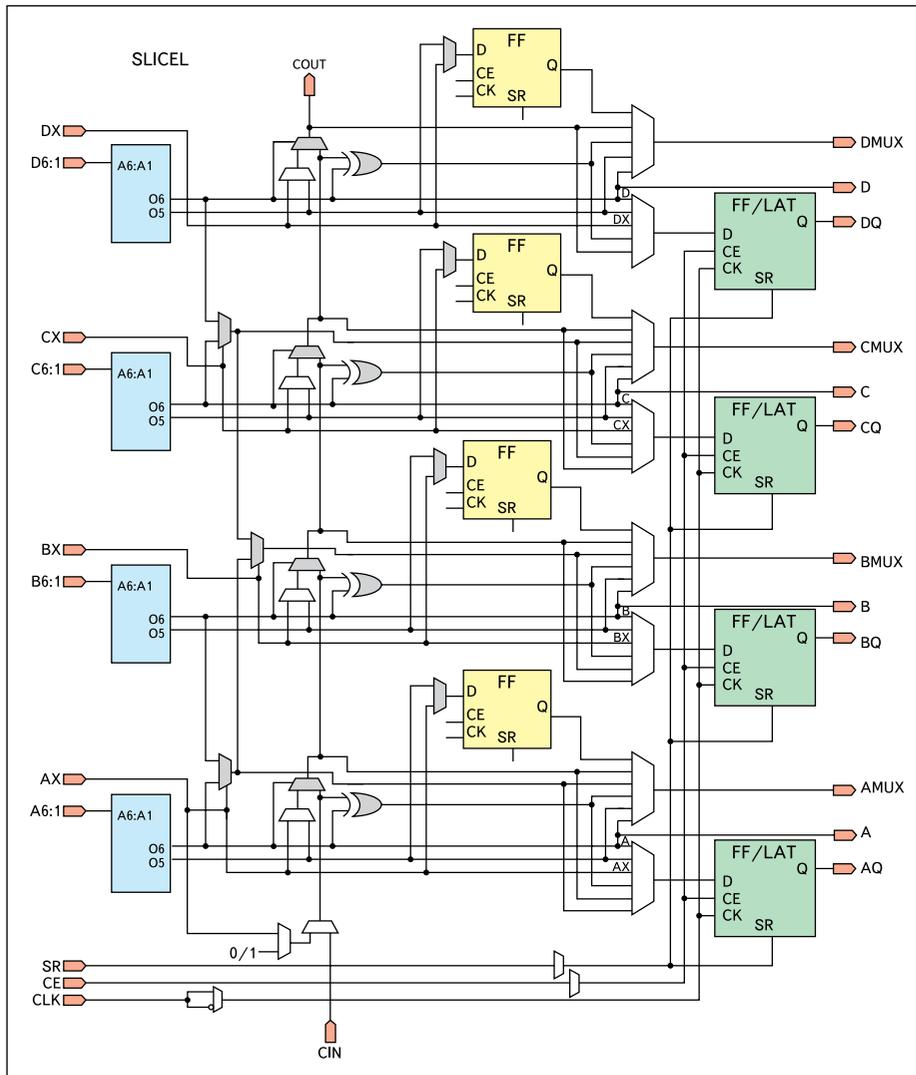


Рис. 3. Функциональная схема секции SLICEL конфигурируемых логических блоков CLB ПЛИС серии Virtex-6

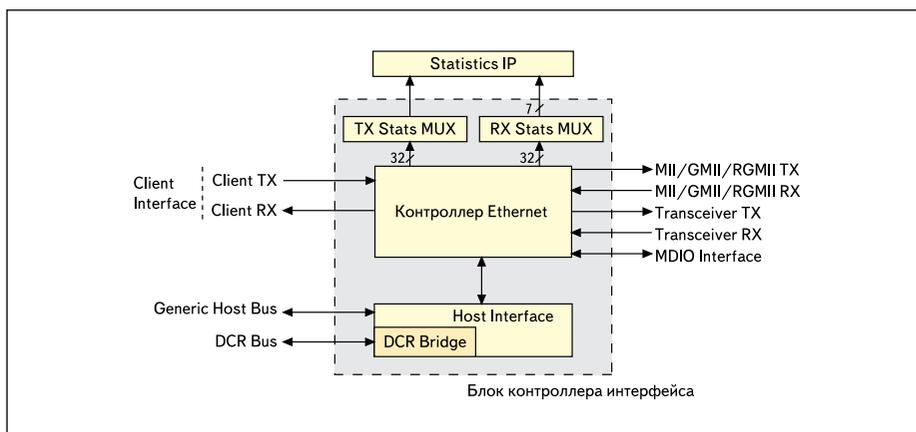


Рис. 4. Структура аппаратного блока контроллера интерфейса Tri-mode Ethernet Media Access Controller (TEMAC), применяемого в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT

нительном сумматоре, но и в качестве значения одного из сомножителей в умножителе 25×18 . Выбор источников операндов и соответствующих буферных регистров осуществляется с помощью дополнительной пятиразрядной шины управления INMODE. Наличие дополнительного (предварительного) сумматора и буферных регистров позволяет оптимальным образом реализовать многосвязные устройства ЦОС, в частности симметричные цифровые фильтры. При этом требуется минимальное количество секций DSP48E1 и достигается максимальная производительность разрабатываемого устройства ЦОС.

Система формирования и распределения тактовых сигналов в кристаллах серии Virtex-6 существенно отличается от соответствующих ресурсов ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT и Virtex-5 TXT. Ее основу образуют блоки управления синхронизацией СМТ и совокупность линий распределения тактовых сигналов различных типов, доступ к которым осуществляется через соответствующие буферные элементы. Структурная схема взаимосвязей блоков управления синхронизацией СМТ и линий распределения тактовых сигналов в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT представлена на рис. 6.

Следует обратить внимание на то, что блоки управления синхронизацией СМТ, применяемые в кристаллах новых семейств, принципиально отличаются от аналогичных блоков, используемых в ПЛИС серии Virtex-5. Блоки управления синхронизацией предыдущего поколения включают в себя два цифровых модуля Digital Clock Manager (DCM) и аналоговый модуль фазовой автоподстройки частоты Phase-Locked-Loop (PLL), которые могут применяться как независимо друг от друга, так и в виде каскадных соединений DCM – PLL или PLL – DCM [8, 9]. Блоки СМТ в кристаллах семейств Virtex-6 LXT и Virtex-6 SXT [20] выполнены на основе двух более совершенных комбинированных модулей управления синхронизацией ММСМ. Структура блоков СМТ нового поколения показана на рис. 7.

Комбинированные модули управления синхронизацией ММСМ построены на основе схемы фазовой автоподстройки частоты PLL, но при этом также обладают всеми преимуществами цифровых модулей DCM. Новые модули управления синхронизацией поддерживают широкий диапазон частот входных сигналов, который составляет от 10 до 800 МГц. Функции частотного синтеза и точного фазового сдвига, выполняемые комбинированными модулями ММСМ, позволяют достаточно легко сформировать необходимую сетку тактовых сигналов для проектируемых устройств различного уровня сложности.

Функциональная схема комбинированных модулей управления синхронизацией ММСМ,

мой в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT, изображена на рис. 5. На этой схеме выделены новые элементы архитектуры аппаратной секции ЦОС (предварительный сумматор, буферные регистры и дополнительная входная шина данных), чтобы наглядно про-

демонстрировать отличия модуля DSP48E1 от базового варианта DSP48E.

Двоичный код, представленный на дополнительной входной 25-разрядной шине данных секции DSP48E1, может использоваться не только как значение слагаемого в допол-

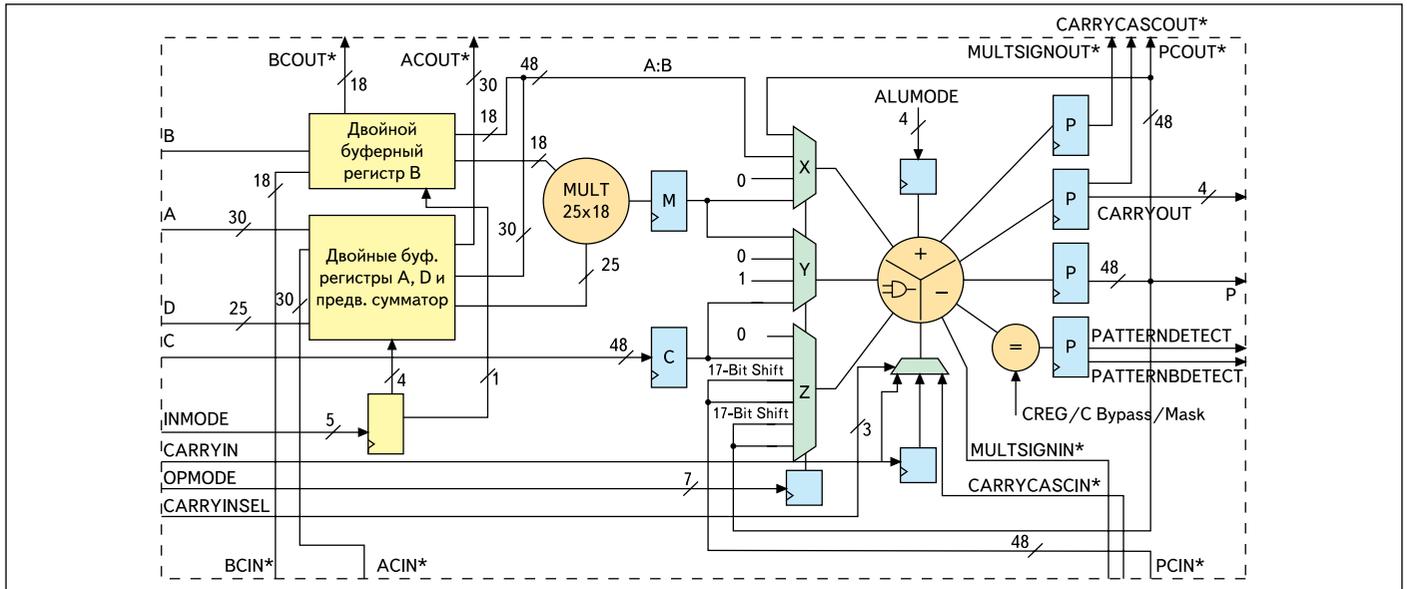


Рис. 5. Структурная схема модернизированной аппаратной секции ЦОС DSP48E1, применяемой в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT

используемых в ПЛИС серии Virtex-6, приведена на рис. 8. Основными элементами этой схемы являются: программируемый счетчик/делитель (Counter/Divider), фазо-частотный детектор (Phase-Frequency Detector, PFD) и генератор, управляемый напряжением (Voltage-Controlled Oscillator, VCO), который формирует восемь сигналов с постоянным значением фазы (0°, 45°, 90°, 135°, 180°, 225°, 270° и 315°) и один с переменным значением фазы, необходимый для реализации точного фазового сдвига. Все сигналы, вырабатываемые генератором VCO, поступают на соответствующие выходные счетчики/делители (Output counter O0 – Output counter O6 и Output counter M), коэффициент деления каждого из которых программируется в соответствии с требованиями проекта.

Система распределения тактовых сигналов в ПЛИС серии Virtex-6 представляет собой

комплекс линий распространения сигналов синхронизации различного уровня. В каждом кристалле семейств Virtex-6 LXT и Virtex-6 SXT имеется 32 линии глобальных тактовых сигналов (Global Clocks), которые могут использоваться для синхронизации любых логических и специализированных блоков ПЛИС. Эти линии сопряжены с глобальными буферными элементами BUFG. Вся площадь кристалла разделена на несколько регионов, количество которых находится в диапазоне значений от шести до восемнадцати, в зависимости от объема ресурсов ПЛИС. Вертикальный размер каждого региона ограничен 40 конфигурируемыми логическими блоками CLB, а горизонтальный — половиной ширины кристалла. В состав каждого региона входят 40 блоков ввода/вывода (один банк ввода/вывода). В каждом из этих регионов доступно 12 линий глобальных так-

вых сигналов. Кроме того, в каждой из этих областей имеется совокупность цепей региональных сигналов синхронизации (Regional Clocks). Подключение к этим цепям осуществляется через региональные буферные элементы BUFR. Региональные сигналы синхронизации применяются в основном для тактирования элементов, расположенных в данном регионе, а также могут использоваться в ближайших соседних регионах, расположенных выше и ниже. В центре каждого региона проходят горизонтальные линии передачи тактовых сигналов (Horizontal Clock Row, HROW), доступ к которым предоставляют буферные элементы BUFN. Каждый банк ввода/вывода ПЛИС серии Virtex-6 содержит четыре контакта и соответствующие цепи, которые могут использоваться для передачи сигналов синхронизации. Подключение к этим цепям осуществляется с помощью

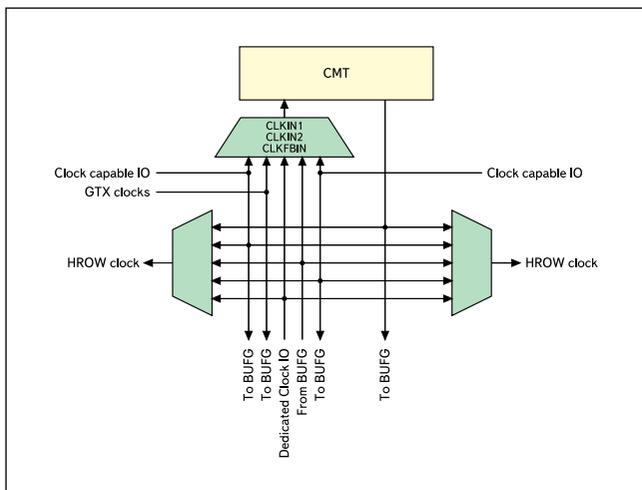


Рис. 6. Структурная схема взаимосвязей блоков управления синхронизацией CMT и линий распределения тактовых сигналов в ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT

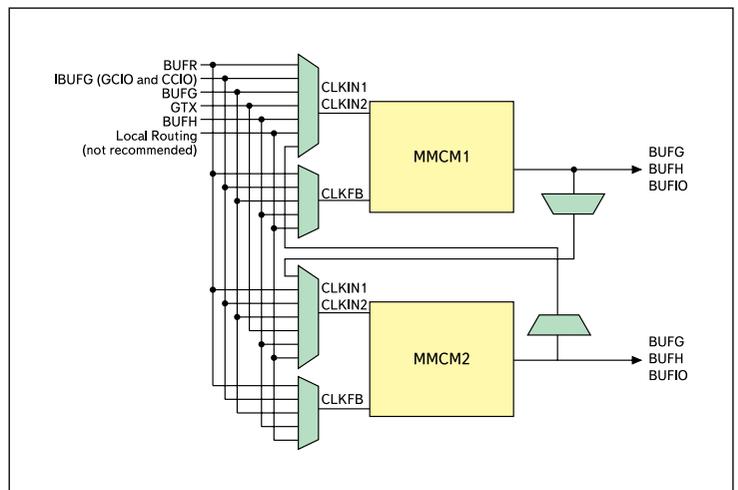


Рис. 7. Структура блоков управления синхронизацией CMT, применяемых в кристаллах семейств Virtex-6 LXT и Virtex-6 SXT

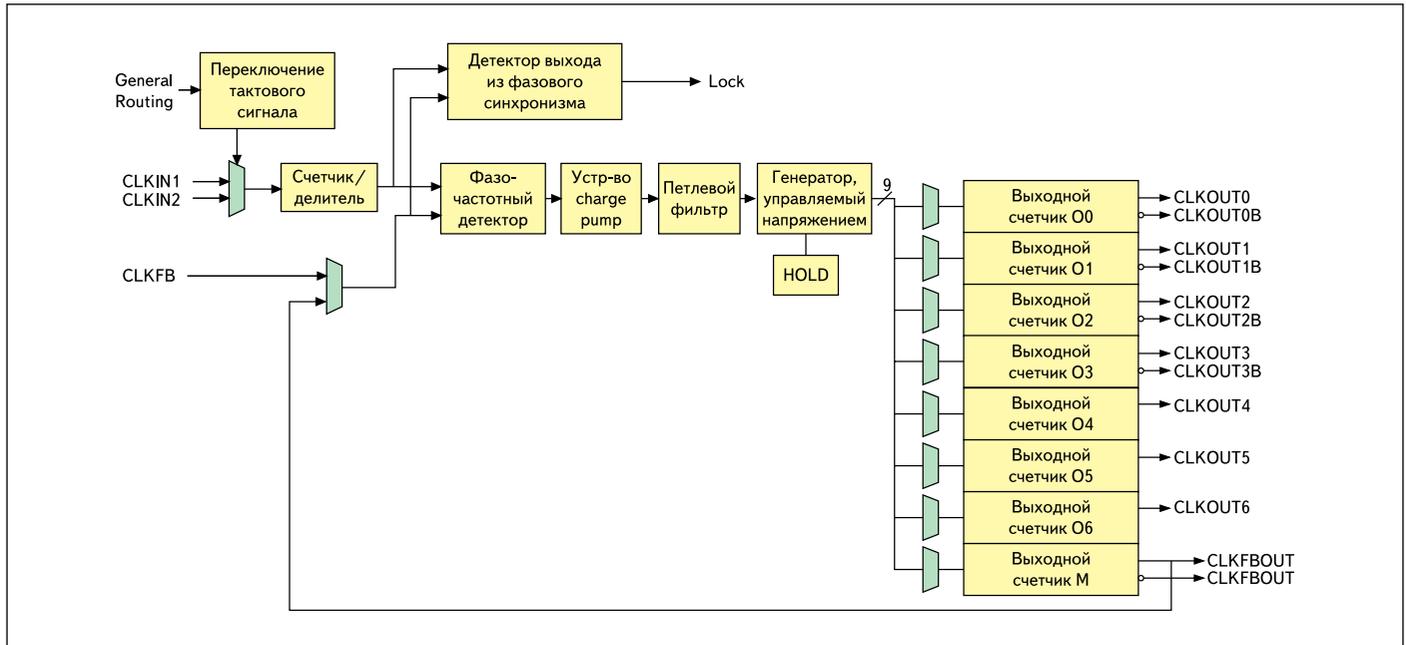


Рис. 8. Функциональная схема комбинированных модулей управления синхронизацией MMCM, используемых в ПЛИС серии Virtex-6

буферных элементов BUFIO. Топология элементов системы формирования и распределения тактовых сигналов в кристаллах серии Virtex-6 показана на рис. 9.

Аппаратные средства для отладки проектов, разрабатываемых на основе ПЛИС серии Virtex-6

После начала серийного выпуска ПЛИС семейств Virtex-6 LXT и Virtex-6 SXT фирма Xilinx приступила к производству на их основе ряда инструментальных комплектов, которые предназначены прежде всего для аппаратной отладки проектов устройств и систем различного назначения. Инструментальные модули, входящие в состав этих комплектов, могут использоваться также для практического ознакомления с функциональными возможностями и преимуществами кристаллов нового поколения Virtex. По предварительной информации, уже к концу текущего года разработчикам будут доступны следующие комплекты, выполненные на базе ПЛИС новой серии:

- Virtex-6 FPGA ML605 Evaluation Kit;
- Virtex-6 FPGA Embedded Kit;
- Virtex-6 FPGA Connectivity Kit;
- Virtex-6 FPGA ML623 Transceiver Characterization Kit.

В состав первых трех комплектов входит инструментальный модуль Virtex-6 FPGA ML605 Base Board, основным компонентом которого является кристалл XC6VLX240T в корпусе FFG1156. В качестве источника сигнала синхронизации для ПЛИС на этой отладочной плате используется кварцевый генератор с частотой 200 МГц. Кроме того, в инструментальном модуле Virtex-6 FPGA ML605 Base Board предусмотрены разъемы для подключения внешних высоко-

частотных тактовых сигналов. Достаточно большой объем логических и специализированных аппаратных ресурсов кристалла XC6VLX240T в сочетании с гибкой системой сигналов внешней синхронизации позволяет использовать инструментальный модуль Virtex-6 FPGA ML605 Base Board для отладки сверхскоростных телекоммуникационных устройств, высокопроизводительных встраиваемых систем и устройств цифровой обработки сигналов с высоким быстродействием.

Наличие на плате разъемов, соответствующих промышленному стандарту FPGA Mezzanine Connector (FMC), позволяет существенно расширить возможности этого

инструментального модуля за счет подключения специализированных submodule (карт расширения). В настоящее время разработчикам доступны карты расширения стандарта FMC, содержащие двухканальные 12- и 14-разрядные аналого-цифровые преобразователи (АЦП) с частотой преобразования 500 и 400 выборок/с соответственно, а также двухканальные и четырехканальные восьмиразрядные АЦП с частотой дискретизации 3000 и 1500 выборок/с соответственно. В ближайшей перспективе появятся submodule, позволяющие реализовать различные широко используемые интерфейсы, включая DVI, DisplayPort, SATA.

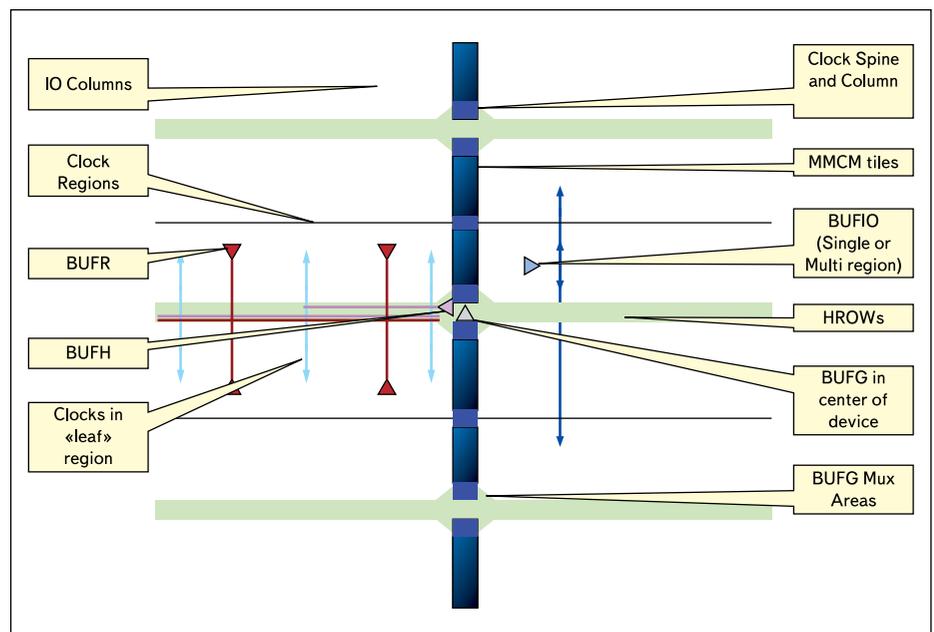


Рис. 9. Топология элементов системы формирования и распределения тактовых сигналов в кристаллах серии Virtex-6

Компанией Avnet также запланирован выпуск двух отладочных комплектов на базе ПЛИС серии Virtex-6:

- Avnet Virtex-6 LX130T Evaluation Kit;
- Virtex-6 FPGA DSP Kit.

Все перечисленные инструментальные наборы комплектуются соответствующей редакцией САПР Xilinx ISE Design Suite 11.

Дальнейшее развитие серии ПЛИС Virtex-6

Новая серия ПЛИС Virtex-6 не ограничивается семействами Virtex-6 LXT и Virtex-6 SXT, представленными в настоящей статье. По предварительной информации, уже в следующем году фирма Xilinx планирует выпуск кристаллов очередного семейства этой серии — Virtex-6 HXT. Основной особенностью ПЛИС данного семейства является применение сверхскоростных последовательных приемопередатчиков RocketIO следующего поколения GTN. Использование этих модулей позволит повысить значение максимальной скорости обмена данными до 11,2 Гбит/с. Поэтому семейство Virtex-6 HXT предназначено прежде всего для реализации сверхпроизводительных телекоммуникационных устройств и систем. Таким образом, в новой серии ПЛИС Virtex-6, предлагаемой фирмой Xilinx, прослеживается устоявшаяся стратегия одновременного производства нескольких семейств кристаллов с различным целевым назначением. Такая стратегия позволяет разработчикам выбрать семейство кристаллов с оптимальным соотношением объема встроенных специализированных

аппаратных и логических ресурсов и стоимости ПЛИС, что положительно сказывается на повышении конкурентоспособности проектируемых устройств и систем. ■

Литература

1. Кузелин М. О., Кнышев Д. А., Зотов В. Ю. Современные семейства ПЛИС фирмы Xilinx / Справочное пособие. М.: Горячая линия – Телеком, 2004.
2. Зотов В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия – Телеком, 2006.
3. Зотов В. MicroBlaze — семейство 32-разрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Компоненты и технологии. 2003. № 9.
4. Зотов В. Система команд микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 1–3.
5. Зотов В. Организация памяти микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 5.
6. Зотов В. Embedded Development Kit — система проектирования встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA фирмы Xilinx // Компоненты и технологии. 2004. № 4.
7. Virtex-5 Family Overview. Xilinx, 2008.
8. Virtex-5 FXT Family: Data Sheet. Xilinx, 2008.
9. Virtex-5 FPGA User Guide. Xilinx, 2008.
10. Virtex-5 FPGA XtremeDSP Design Considerations. Xilinx, 2008.
11. Virtex-5 FPGA Configuration User Guide. Xilinx, 2008.
12. Virtex-5 FPGA RocketIO GTX Transceiver User Guide. Xilinx, 2008.
13. Virtex-5 FPGA Tri-Mode Ethernet Media Access Controller. Xilinx, 2008.
14. Virtex-5 FPGA Integrated Endpoint Block for PCI Express Designs User Guide. Xilinx, 2008.
15. Зотов В. Разработка компонентов устройств цифровой обработки сигналов, реализуемых на базе аппаратных модулей DSP48E в ПЛИС FPGA серии Virtex-5, с помощью «мастера» Architecture Wizard САПР серии Xilinx ISE // Компоненты и технологии 2008. № 12. 2009. № 3–7.
16. Зотов В. Инструментальный модуль компании Avnet для отладки проектов встраиваемых систем, разрабатываемых на базе нового семейства ПЛИС FPGA фирмы Xilinx Virtex-5 FXT // Компоненты и технологии. 2008. № 9.
17. Virtex-6 Family Overview. Xilinx, 2009.
18. Virtex-6 FPGA Configuration User Guide. Xilinx, 2009.
19. Virtex-6 FPGA SelectIO Resources User Guide. Xilinx, 2009.
20. Virtex-6 FPGA Clocking Resources User Guide. Xilinx, 2009.
21. Virtex-6 FPGA Memory Resources User Guide. Xilinx, 2009.
22. Virtex-6 FPGA Configurable Logic Block User Guide. Xilinx, 2009.
23. Virtex-6 FPGA GTX Transceivers User Guide. Xilinx, 2009.
24. Virtex-6 FPGA Embedded Tri-Mode Ethernet MAC User Guide. Xilinx, 2009.
25. Virtex-6 FPGA DSP48E1 Slice User Guide. Xilinx, 2009.
26. Virtex-6 FPGA System Monitor User Guide. Xilinx, 2009.
27. Virtex-6 FPGA Data Sheet: DC and Switching Characteristics. Xilinx, 2009.
28. Virtex-6 FPGA Packaging and Pinout Specifications. Xilinx, 2009.