

Микросхемы ФАПЧ и синтезаторы на их основе производства компании Analog Devices

Павел МИХАЛЕВ
pmikhalev@mail.spbstu.ru

Фазовая автоподстройка частоты (ФАПЧ) широко используется в радиотехнических устройствах и системах связи. На основе генераторов, управляемых напряжением (ГУН), и схем ФАПЧ строят синтезаторы частоты, которые позволяют получить сетку стабильных частот. Одним из применений синтезаторов является использование их в качестве опорных генераторов в преобразователях радиочастотных сигналов. В статье рассматриваются принципы ФАПЧ и структура синтезаторов на их основе. Приводятся сведения о микросхемах таких устройств, выпускаемых фирмой Analog Devices.

Фазовая автоподстройка частоты

Схема ФАПЧ (английский эквивалент Phase-Locked Loop — PLL) представляет собой систему с контуром обратной связи, который содержит ГУН, фазовый детектор (ФД), фильтр нижних частот (ФНЧ) и усилитель (рис. 1).

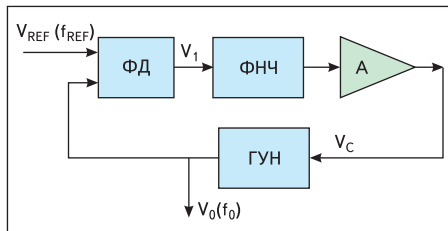


Рис. 1. Структурная схема ФАПЧ

ФД (или детектор ошибки) сравнивает фазы сигнала опорного генератора V_{REF} и выходного сигнала ГУН V_0 и вырабатывает напряжение V_1 , величина которого зависит от разности фаз этих сигналов. Если эта разность равна φ радиан, то выходное напряжение ФД будет определяться выражением:

$$V_1 = K_\varphi \left(\varphi - \frac{\pi}{2} \right), \quad (1)$$

где K_φ — коэффициент передачи «фаза → напряжение ФД» размерностью В/рад.

Выходное напряжение ФД пропускается через ФНЧ для подавления высокочастотных составляющих и их гармоник, которые присутствуют в опорном сигнале и на выходе ГУН. Напряжение с выхода ФНЧ усиливается

и используется как управляющее для ГУН (V_C). Величина его составляет:

$$V_C = K_\varphi A \left(\varphi - \frac{\pi}{2} \right), \quad (2)$$

где A — коэффициент усиления усилителя.

Такое управляющее напряжение обеспечивает изменение частоты ГУН по отношению к частоте его собственных колебаний f_0 до уровня

$$f = f_0 + K_V V_C, \quad (3)$$

где K_V — коэффициент передачи «напряжение → частота ГУН» размерностью Гц/В.

Когда осуществлен захват опорного сигнала f_{OP} схемой ФАПЧ, справедливо равенство:

$$f = f_{REF} = f_0 + K_V V_C.$$

Поскольку согласно (3):

$$V_C = \frac{f_{REF} - f_0}{K_V} = K_\varphi A \left(\varphi - \frac{\pi}{2} \right)$$

получим:

$$\varphi = \frac{\pi}{2} + \frac{f_{REF} - f_0}{K_V K_\varphi A}. \quad (4)$$

Таким образом, если схема ФАПЧ захватила опорный сигнал, то сдвиг по фазе между этим сигналом и выходным сигналом ГУН устанавливается равным φ , и две частоты f_{REF} и f_0 будут точно синхронизированы.

Максимальное напряжение на выходе ФД имеет место при $\varphi = \pi$ и $\varphi = 0$ и определяется выражением:

$$V_{1(MAX)} = \pm K_\varphi \frac{\pi}{2}. \quad (5)$$

Соответствующее максимально возможное управляющее напряжение равно:

$$V_{C(MAX)} = \pm K_V K_\varphi \frac{\pi}{2}. \quad (6)$$

В этом случае диапазон частот, который можно обеспечить на выходе ГУН, составляет:

$$(f - f_0)_{MAX} = K_V V_{C(MAX)} = \pm K_V K_\varphi \frac{\pi}{2} A.$$

Следовательно, максимальный частотный диапазон сигналов опорного генератора, при которых схема ФАПЧ будет находиться в режиме захвата, составляет:

$$f_{REF} = f_0 \pm K_V K_\varphi \frac{\pi}{2} A = f \pm \Delta f_L.$$

Величина $2\Delta f_L$ называется *полосой захвата ФАПЧ* и определяется по формуле:

$$2\Delta f_L = K_V K_\varphi A \pi.$$

Следует отметить, что полоса захвата симметрична по отношению к частоте собственных колебаний ГУН f_0 . На рис. 2 приведена зависимость V_C от частоты опорного сигнала, характеризующая полосу захвата. Вне этой полосы частота ГУН не может быть синхронизирована с частотой опорного сигнала.

Схемотехника ФАПЧ может быть классифицирована по методу реализации [1].

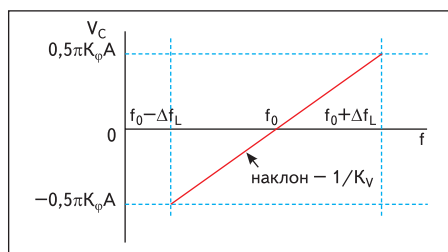


Рис. 2. Полоса захвата ФАПЧ

Если в качестве ФД используется линейный элемент типа четырехквadrантного перемножителя, а остальные элементы контура являются линейными аналоговыми, ФАПЧ называется *линейной* (linear PLL — LPLL).

Если используется цифровой ФД, а остальные элементы контура ФАПЧ являются линейными аналоговыми, то ФАПЧ называется *цифровой* (digital PLL — DPLL).

Если ФАПЧ строится исключительно из цифровых блоков, без использования каких-либо пассивных или линейных аналоговых элементов, то ФАПЧ называется *полностью цифровой* (all digital PLL — ADPLL).

Как и любая цифровая система, полностью цифровая ФАПЧ может быть реализована в виде программы. В этом случае ФАПЧ называется *программно реализованной* (soft PLL — SPLL).

К основным параметрам ФАПЧ относят фазовый шум, уровень проникновения гармоник опорного сигнала и время захвата.

Фазовый шум порождается малыми флуктуациями случайного характера фазы сигнала опорного генератора. Наличие его на входе ФД приводит к появлению ошибки на его выходе и, как следствие, к нестабильности частоты выходного сигнала ГУН.

Время захвата ФАПЧ это время от момента подачи сигналов на входы ФД до момента возникновения установившегося режима (момента захвата).

Синтезатор частоты с ФАПЧ

Схема ФАПЧ используется в качестве основного элемента при построении синтезаторов частоты, которые вырабатывают сетку высокостабильных частот, кратных частоте опорного генератора. Для обеспечения высокой стабильности используют опорный генератор с кварцевым резонатором. Структура такого синтезатора приведена на рис. 3.

Частота опорного генератора f_{OP} делится на целое число R с помощью входного делителя. На его выходе вырабатывается сигнал с частотой f_{REF}/R . Частота ГУН также делится на целое число N при помощи делителя в петле ФАПЧ, принимая значения f_0/N . Когда схема ФАПЧ работает в режиме захвата опорного сигнала, имеет место равенство:

$$\frac{f_{REF}}{R} = \frac{f_0}{N}$$

Откуда:

$$f_0 = \frac{N}{R} f_{REF}$$

Для получения различных коэффициентов деления применяют программируемые делители. Тем самым обеспечивается широкий спектр выходных частот синтезатора, кратных частоте опорного сигнала. Диапазон выходных частот синтезатора определяется полосой захвата ФАПЧ, а абсолютные значения границ этого диапазона зависят от собственной частоты ГУН, относительно которой располагается полоса захвата (рис. 2). Величина шага изменения частоты синтезатора Δf (разрешающая способность синтезатора) в пределах диапазона его перестройки зависит от величины коэффициента деления делителя N и от времени захвата ФАПЧ. При уменьшении Δf требуется уменьшение времени захвата (времени установления), то есть уменьшение времени перехода от одного устойчивого состояния с частотой f_{01} до другого устойчивого состояния с частотой $f_{02} = f_{01} \pm \Delta f$.

Уменьшить время захвата можно за счет увеличения полосы пропускания петлевого ФНЧ. Но это приводит к увеличению уровня фазовых шумов и побочных гармоник. При значительном увеличении границы полосы пропускания фильтра (более $0,2(f_{REF}/R)$) петля ФАПЧ может стать нестабильной и неспособной к захвату. Для исключения этого необходимый запас по фазе в петле ФАПЧ должен составлять не менее 45° .

Большое значение коэффициента деления N в петле ФАПЧ может повлечь за собой появление некоторых нежелательных эффектов:

1. Коэффициент передачи контура ФАПЧ уменьшается с ростом N , что замедляет ответную реакцию на любые изменения на входе.
2. Для заданной величины фазового шума сигнала опорного генератора в полосе пропускания контура ФАПЧ фазовый шум выходного сигнала составляет N/R от величины входного. Если $N = R$ и помехи появляются на входе схемы, то это не скажется при любых отклонениях фаз сигналов на входе детектора. Однако если помехи возникают на входе ФД (до деления на R), то коэффициент усиления выходного фазового шума имеет значение N .

Из этого следует, что больших значений коэффициентов деления в петле ФАПЧ надо по возможности избегать. Уменьшение N можно «компенсировать» увеличением частоты опорного генератора f_{REF} . Увеличение f_{REF} и, как следствие, увеличение частоты на входе ФД (f_{REF}/R), позволяет уменьшить уровень фазовых шумов синтезатора [2].

В зависимости от значения коэффициента деления N делителя петли ФАПЧ различают ФАПЧ с *целочисленным коэффициентом деления* (Integer-N PLL) и ФАПЧ с *дробным коэффициентом деления* (Fractional-N PLL). ФАПЧ с малым временем установления относится к категории *быстродействующих* (Fast Settling PLL).

Разрешающая способность синтезатора с целочисленным коэффициентом деления N делителя в петле ФАПЧ ограничена величиной f_{REF}/R . При дробном коэффициенте деления N разрешающая способность может составлять доли от величины f_{REF}/R . Другим достоинством систем с дробным коэффициентом деления является уменьшение времени захвата. Например, если $f_{REF}/R = 20$ МГц и полоса пропускания ФНЧ составляет 150 кГц, то перестройка синтезатора по частоте на 30 МГц будет занимать менее 30 мкс.

В современных синтезаторах время захвата мало, но конечно, что определяется возможностями схемотехники. В ряде случаев, когда требуется повышенное быстродействие системы при переходе от одной частоты к другой, используют два синтезатора: пока один работает на данной частоте в течение времени, большее, чем время захвата, второй синтезатор переключается на другую требуемую частоту. В результате время перехода от одной частоты к другой определяется только временем коммутации выходов синтезаторов.

Микросхемы ФАПЧ производства Analog Devices

Компания Analog Devices выпускает широкий спектр микросхем (МС) ФАПЧ и синтезаторов на основе ФАПЧ. МС ФАПЧ содержат детектор ошибки и два делителя (R и N) с программируемыми коэффициентами деления и ориентированы на применение в схемах высокостабильных перестраиваемых генераторов, устройствах синхронизации и синтезаторах при использовании внешних

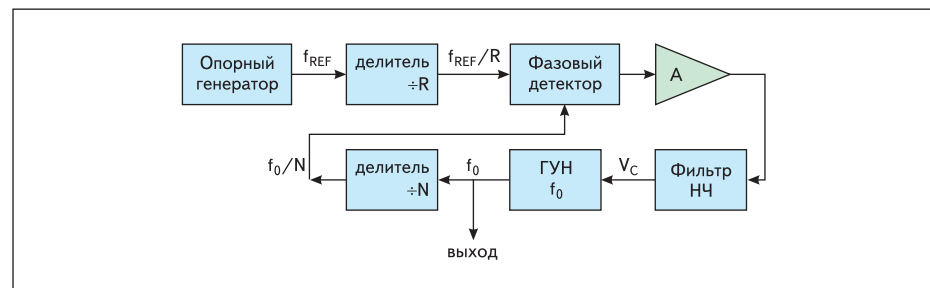


Рис. 3. Структурная схема синтезатора частоты с ФАПЧ

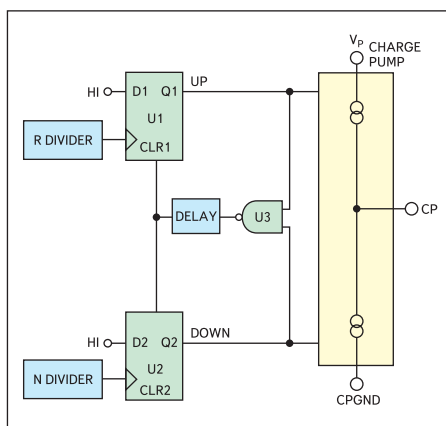


Рис. 4. Упрощенная схема цифрового PFD с зарядовой помпой

генераторов (опорного и ГУН) и петлевого ФНЧ. По-видимому, это дало разработчикам основание называть такие микросхемы синтезаторами (*PLL Synthesizer*), что, вообще говоря, не вполне корректно. Программируемые делители осуществляется, как правило, через единый интерфейс.

Номенклатура МС ФАПЧ по данным на конец 2005 года [3] приведена в таблице 1. Устройства различаются по частотным диапазонам опорного генератора и ГУН, уровню фазовых шумов и типу делителей в петле ФАПЧ (N), а также по входу опорного генератора (R). Кроме того, выпускаются микросхемы двухканальных ФАПЧ, которые приведены в таблице 2. В промышленно выпускаемых микросхемах используется цифровой детектор ошибки (ϵ) с выходом по току, где выходной генератор реализован в виде зарядовой помпы (*charge pump* — CP). Упрощенная схема такого PFD приведена на рис. 4.

Подобная реализация PFD обладает рядом преимуществ по сравнению с классическим детектором с выходом по напряжению: большая линейность, низкая стоимость.

ADF4001 относится к категории низкочастотных ФАПЧ и предназначена для работы в схемах тактовых генераторов с ФАПЧ, работающих в диапазоне до 200 МГц. Делители с программируемыми целочисленными коэффициентами деления ($R = 1-16383$ и $N = 1-8191$) позволяют получить широчайший спектр выходных частот на выходе внешнего ГУН.

На рис. 5 приведен пример применения МС ADF4001 в схеме трехчастотного генератора синхронизированных тактовых сигналов.

На этой схеме опорный генератор обозначен как Master Clock, а ГУН — как VCXO — ГУН с кварцевым резонатором.

ADF4007 классифицируется производителем как высокочастотный делитель и синтезатор частоты. Максимальное значение частоты ГУН определяется величиной 7,5 ГГц. Однако коэффициент деления делителя петли ФАПЧ ограничен конечным набором зна-

Таблица 1. Микросхемы ФАПЧ Analog Device

Тип МС	Кэф-т R вх. делителя	Кэф-т N делителя петли ФАПЧ	Макс. частота работы PFD (МГц)	Норм. спектр. плотн. мощн. фаз. шума (дБс/Гц)	F_{REF} мин-макс (МГц)	$F_0 (F_{RF})$ мин-макс (МГц)	$E_{пит}$ (В)	$I_{пот}$ (мА)	Корпус
ADF4001	$R = 1-16383$	Целый; $N = 1-8191$	55	-161	5-104	10-200	2,7-5,5	5,5	TSSOP-16 LFCSP-20
ADF4007	$R = 2$	Целый; $N = 8, 16, 32, 64$	120	-219	20-240	500-7500	2,7-3,3	13	TSSOP-16 LFCSP-20
ADF4110	$R = 1-16383$	Целый	55	-215	5-104	80-550	2,7-5,5	5,5	TSSOP-16 LFCSP-20
ADF4111	$R = 1-16383$	Целый	55	-215	5-104	80-1200	2,7-5,5	5,5	TSSOP-16 LFCSP-20
ADF4112	$R = 1-16383$	Целый	55	-215	5-104	200-3000	2,7-5,5	7,5	TSSOP-16 LFCSP-20
ADF4113	$R = 1-16383$	Целый	55	-215	5-104	200-3700	2,7-5,5	11	TSSOP-16 LFCSP-20
ADF4106	$R = 1-16383$	Целый	104	-219	20-300	500-6000	2,7-3,3	13	TSSOP-16 LFCSP-20
ADF4107	$R = 1-16383$	Целый	104	-219	20-250	1000-7000	2,7-3,3	13	TSSOP-16 LFCSP-20
ADF4116	$R = 1-16383$	Целый	55	-211	5-100	45-550	2,7-5,5	4,5	TSSOP-16
ADF4117	$R = 1-16383$	Целый	55	-213	5-100	100-1200	2,7-5,5	4,5	TSSOP-16
ADF4118	$R = 1-16383$	Целый	55	-216	5-100	100-3000	2,7-5,5	6,5	TSSOP-16
ADF4153	$R = 1-15$ $D=0, 1$	Дробный	32	-213	10-250	500-4000	2,7-3,3	24	TSSOP-16 LFCSP-20
ADF4154	$R = 1-15$ $D=0, 1$	Дробный	32	-213	10-250	500-4000	2,7-3,3	24	TSSOP-16 LFCSP-20
ADF4156	$R = 1-15$ $D=0, 1$	Дробный	32	-213	10-250	500-6000	2,7-3,3	12	TSSOP-16 LFCSP-20
ADF4193	$R = 1-15$ $D=0, 1; T=0, 1$	Дробный	26	-216	20-300	400-3500	2,7-3,3	24	LFCSP-32

Таблица 2. Микросхемы сдвоенных ФАПЧ Analog Device

Тип МС	Кэф-т R вх. делителя	Кэф-т N делителя петли ФАПЧ	Макс. частота работы PFD (МГц)	Норм. спектр. плотн. мощн. фаз. шума (дБс/Гц)	F_{REF} мин-макс (МГц)	F_{RF} мин-макс (МГц)	F_{IF} мин-макс (МГц)	$E_{пит}$ (В)	$I_{пот}$ (мА)	Корпус
ADF4212L	$R = 1-16383$	Дробный	75	-215	10-150	200-2400	100-1000	2,7-3,3	7,5	TSSOP-20 LFCSP-20
ADF4217L	$R = 1-16383$	Дробный	56	-216	10-110	150-3000	45-1100	2,6-3,3	7,1	TSSOP-20 LGACC24
ADF4218L	$R = 1-16383$	Дробный	56	-216	10-110	150-3000	45-1100	2,6-3,3	7,1	TSSOP-20 LGACC24
ADF4219L	$R = 1-16383$	Дробный	56	-216	10-110	150-3000	45-1000	2,6-3,3	7,1	TSSOP-20 LGACC24
ADF4252	$R_{RF}; R_{IF}$	Цел./дробн.	55	-141	250	100-3000	50-1200	2,7-3,3	7,1	LFCSP-24

чений $N = 8, 16, 32, 64$, а входной делитель имеет фиксированный коэффициент деления $R = 2$. Фазовый шум существенно ниже, чем у ADF4001 и составляет всего -219 дБм/Гц.

ADF4110/4111/4123/4113 — семейство МС, реализованных по единой структурной схеме (рис. 6) и различающихся частотным диапазоном применяемого ГУН (табл. 1). Диапазон

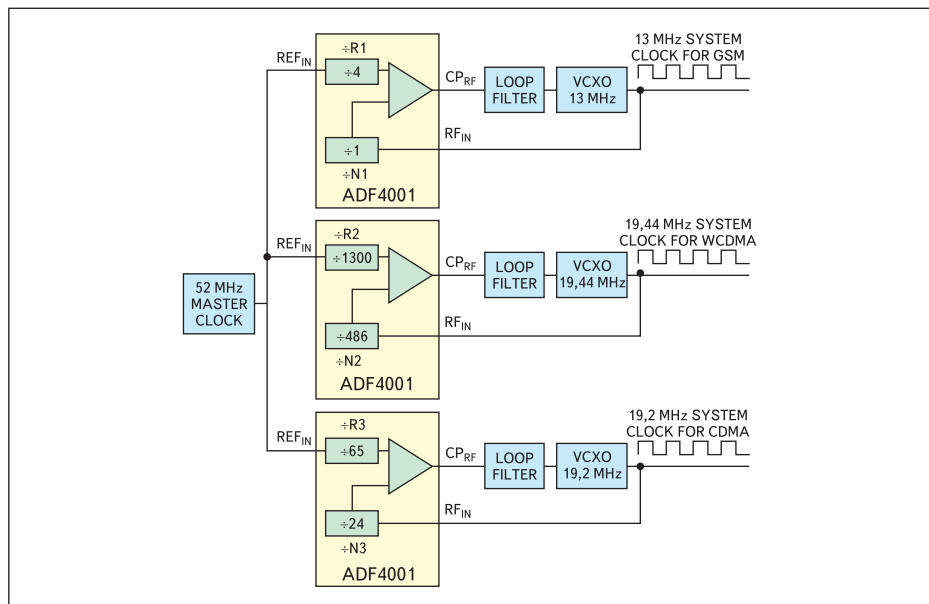


Рис. 5. Структурная схема трехчастотного тактового генератора с использованием МС ADF4001

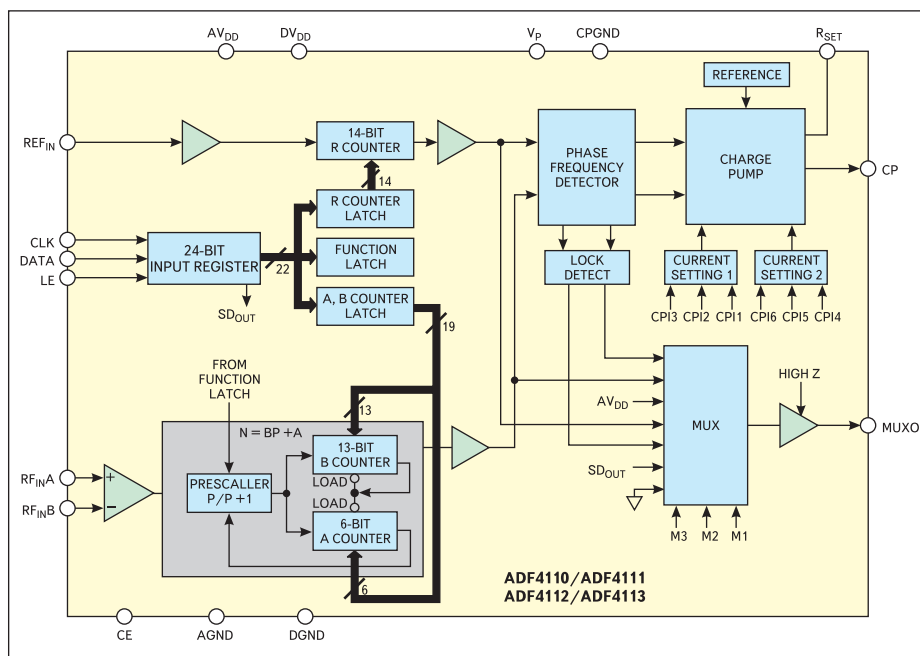


Рис. 6. Структурная схема семейства ADF4110/4111/4112/4113

допустимых частот опорного генератора у всех микросхем одинаков и составляет 5–104 МГц.

Отличительной особенностью схемотехники данных МС является петлевой делитель, который реализован по схеме, приведенной на рис. 7.

Данная схема содержит предварительный делитель частоты (prescaler), свойства которого определяются двухкоэффициентным параметром $P/(P+1)$. Величина этого параметра устанавливается равной $8/9$ ($P=8$), $16/17$ ($P=16$), $32/33$ ($P=32$) или $64/65$ ($P=64$). Эти значения определяются условием синхронизации с частотой $(4/5)f_0$. Коэффициенты деления счетчиков A и B могут принимать значения в пределах: $A=0-63$, $B=3-8191$. Результирующий коэффициент деления определяется соотно-

шением: $N = BP + A$. В результате диапазон целых значений N существенно расширяется.

Предварительный делитель работает при значении выходной частоты не более 200 МГц. Имеется опция установки режима работы зарядовой помпы.

Микросхемы данного семейства по выводам совместимы с ADF4001.

ADF4106/4107 имеют аналогичную с предыдущими МС структуру (рис. 6). Они отличаются более высокой частотой применяемого ГУН и, соответственно, большей частотой опорного генератора, а также меньшим напряжением питания (табл. 1). Предварительный делитель работает при значении выходной частоты не более 325 МГц.

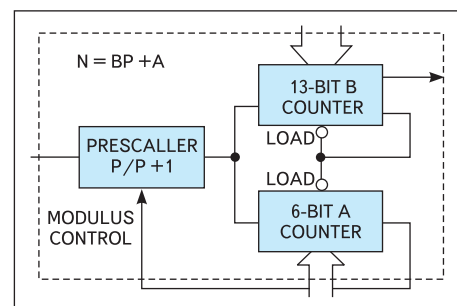


Рис. 7. Блок-схема петлевого делителя

ADF4116/ADF4117/ADF4118 — семейство, реализованное по сходной с предыдущими МС структуре. Отличие заключается в отсутствии опции установки режима зарядовой помпы. Параметр предварительного делителя составляет $P/(P+1) = 8/9$ для ADF4116 и $P/(P+1) = 32/33$ для ADF4117/4118. Коэффициенты деления счетчиков A и B могут принимать значения в пределах 0–31 и 3–8191 соответственно. Данные МС характеризуются меньшим током потребления.

ADF4153 открывает серию МС с дробным коэффициентом деления делителя в петле ФАПЧ, который повышает разрешающую способность ФАПЧ по частоте. Структурная схема приведена на рис. 8.

Петлевой делитель реализован по схеме рис. 9.

Коэффициент деления такого делителя определяется тремя устанавливаемыми параметрами INT , MOD и $FRAC$, которые для данной реализации могут принимать значения 31–511, 2–4095 и $0-(MOD-1)$ соответственно. Результирующий коэффициент дробного делителя петли ФАПЧ определяется соотношением:

$$N = INT + \frac{FRAC}{MOD}$$

Дополнительно разрешающая способность повышается за счет включения переключаемого умножителя (doubler — D) с коэффициентом D , который равен 0 или 1 на входе делителя R (рис. 8). Результирующий коэффициент деления входного делителя R_{IN} получается равным:

$$R_{IN} = \frac{1 + D}{R}$$

где величина R для данного варианта схемы может принимать значения в пределах 1–15.

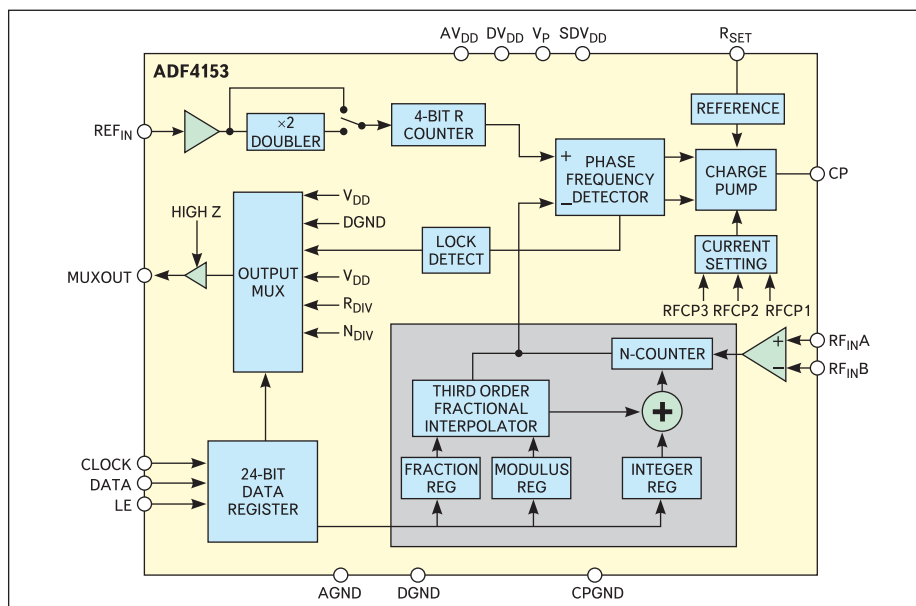


Рис. 8. Структурная схема ADF4153

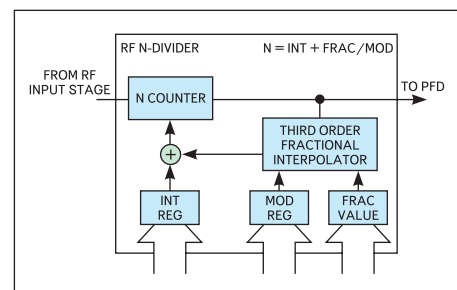


Рис. 9. Структурная схема дробного делителя петли ФАПЧ

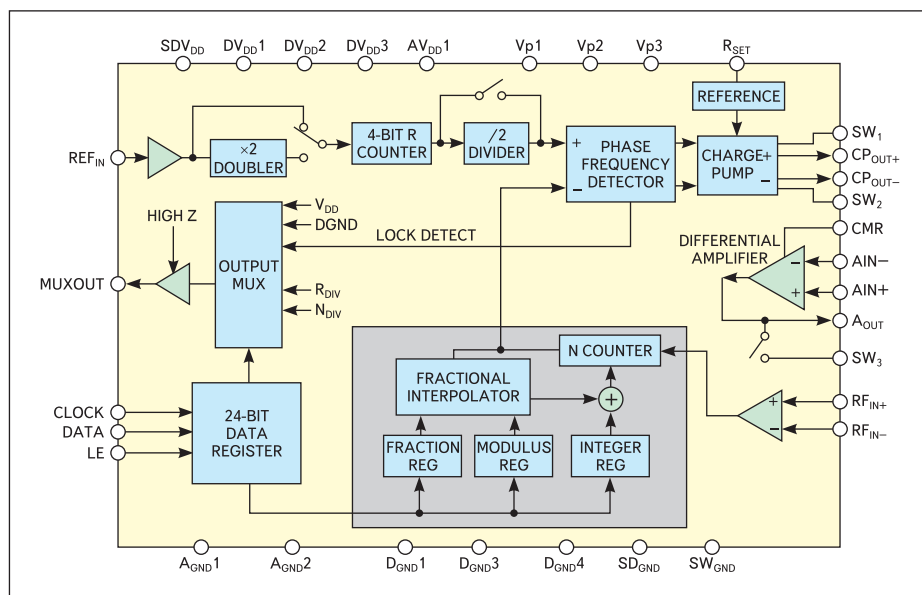


Рис. 10. Структурная схема МС ADF4193

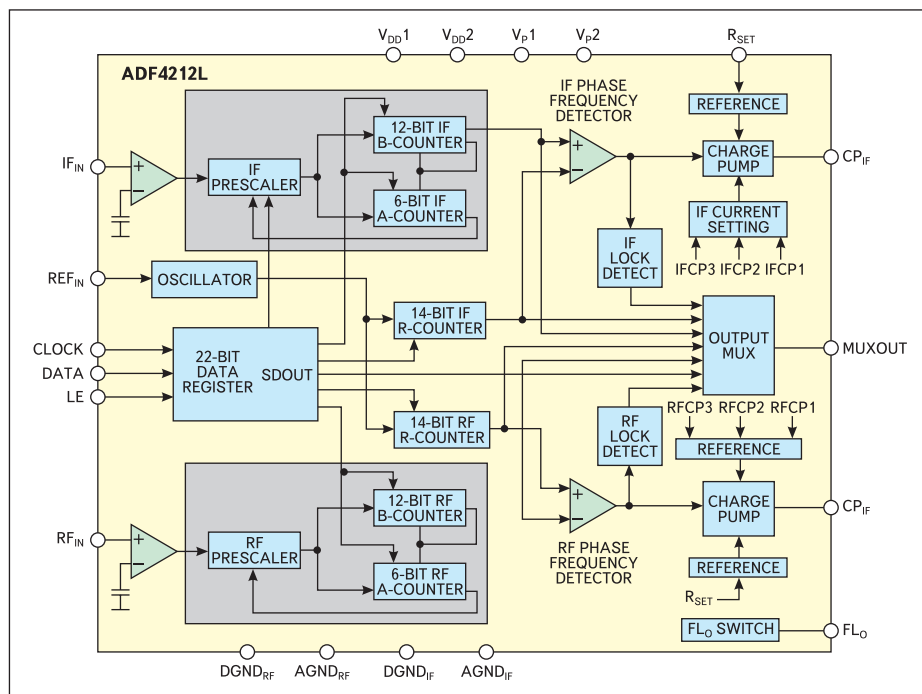


Рис. 11. Структурная схема двухканальной ФАПЧ ADF4212L

Данная МС совместима по выводам с ADF4110/4111/4112/4113 и ADF4106. Имеет опцию установки режима работы зарядовой помпы.

ADF4154 в целом аналогична ADF4153 за тем исключением, что в данном случае предварительный делитель делителя петли ФАПЧ имеет только два значения устанавливаемого параметра: 4/5 и 8/9. Совместима по выводам с ADF4110/4111/4112/4113/4106 и ADF4153.

ADF4156 представляет собой дальнейшее развитие МС ADF4154 для работы с ГУН с максимальной частотой до 6 ГГц. В конце 2005 года была выпущена только опытная

серия таких микросхем. Подробной информации в виде data sheets на момент подготовки статьи к печати на сайте компании не было. Основные параметры МС приведены в таблице 1.

ADF4193. Новая быстродействующая МС ФАПЧ с дробным петлевым делителем. Архитектура МС, приведенная на рис. 10, специально разработана под стандарты базовых станций мобильных систем связи GSM и EDGE.

МС отличает высокая точность установки фазы выходного сигнала ГУН: среднеквадратическая ошибка фазы составляет всего 0,5° на частоте 2 ГГц. Отличительной особенностью схемотехники МС является включение

в схему входного делителя (помимо делителя R и коммутируемого умножителя D) дополнительного делителя T , применение которого позволяет вдвое увеличить частоту опорного генератора. Результирующий коэффициент деления входного делителя R_{IN} получается равным

$$R_{IN} = \frac{1+D}{R(1+T)},$$

где D равно 0 или 1, R лежит в диапазоне 1–15, T — 0 или 1.

Кроме того, в схему введен дополнительный ОУ, позволяющий, например, преобразовать симметричный выход зарядовой помпы в несимметричный.

ADF4112L открывает серию двухканальных ФАПЧ, номенклатура которых приведена в таблице 2. Структурная схема этой МС приведена на рис. 11. Двухканальные ФАПЧ имеют, как правило, единый вход от опорного генератора (f_{REF}), но различаются по каналам диапазонами частот допустимых к применению ГУН. Эти частоты обозначают f_{RF} (канал R_F) и f_{IF} (канал I_F). Кроме того, различие заключается в типе петлевых делителей каналов ФАПЧ. В данной МС оба делителя — дробные, реализованные по схеме рис. 7, а их параметры соответствуют параметрам делителя МС ADF4116/4117/4118.

ADF4217L/ADF4218L/ADF4219L представляют собой семейство двухканальных ФАПЧ с дробными петлевыми делителями, структура и параметры которых идентичны ADF4112L. Основные параметры микросхем приведены в таблице 2. Структура микросхем семейства в целом аналогична ADF4112L (рис. 11). Отличительные особенности схемотехники в доступном виде отсутствуют. В целом микросхемы данного семейства относятся к категории малопотребляющих и рекомендуются к применению в мобильной аппаратуре.

ADF4252 представляет собой сдвоенную ФАПЧ и имеет различные типы петлевых делителей в двух каналах: целочисленный делитель в канале IF и дробный делитель в канале RF (рис. 12). Целочисленный делитель канала IF реализован по схеме рис. 7 и имеет коэффициент деления в пределах от 1 до 32 767. Дробный делитель канала RF реализован по схеме рис. 9 и характеризуется следующими параметрами: INT от 31 до 255, MOD от 2 до 4095, $FRAC$ от 0 до $(MOD-1)$.

Оба канала микросхемы работают от одного источника опорного сигнала и имеют одинаковую структуру входных целочисленных делителей (как в МС ADF4193), но параметры этих делителей разные: R_{RF} от 1 до 15, R_{IF} от 1 до 32 767, D — 0 или 1.

Микросхемы синтезаторов частоты с ФАПЧ от Analog Devices

Синтезаторы частоты с ФАПЧ представлены семейством из 9 микросхем ADF4360-0/

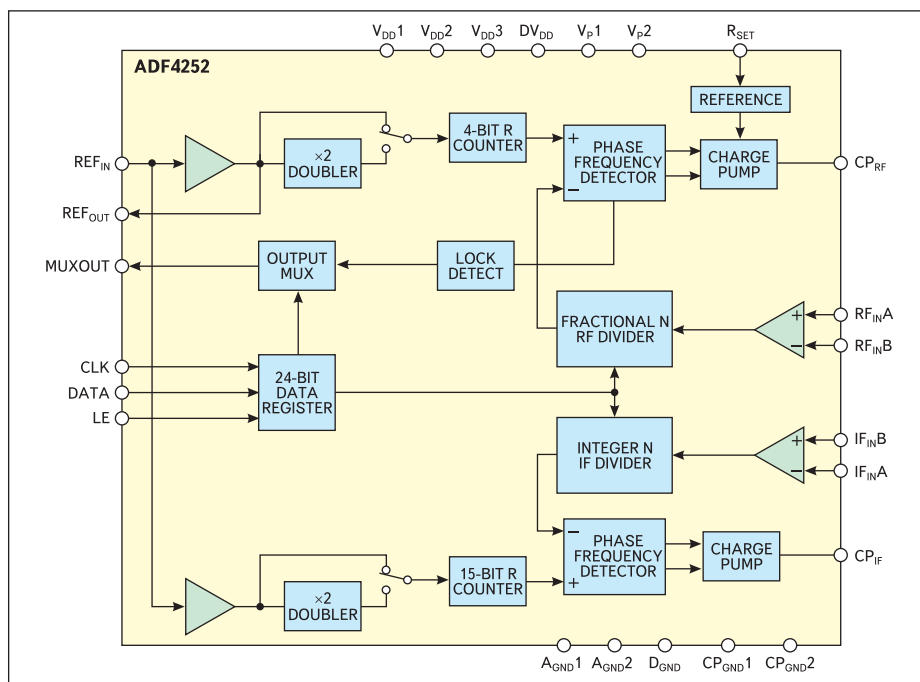


Рис. 12. Структурная схема ADF4252

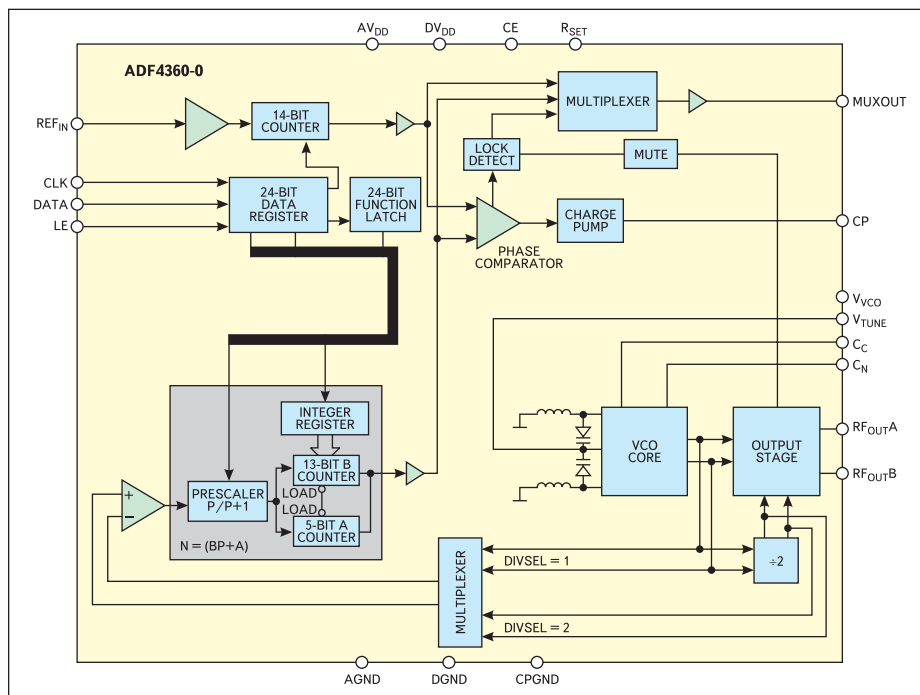


Рис. 13. Структурная схема синтезаторов ADF4360

Таблица 3. Микросхемы синтезаторов с ФАПЧ Analog Devices

Тип МС	$f_{\text{вых}}$ (мин.-макс.), МГц	Нормированная спектральная плотность мощности фазового шума, дБм/Гц	Программируемый ток потребления $I_{\text{пот}}$, мА	Выходная мощность, дБм
ADF4360-0	2450–2725	-217	25–50	-13...-3
ADF4360-1	2050–2450	-217	25–50	-13...-3
ADF4360-2	1850–2150	-217	25–50	-13...-3
ADF4360-3	1600–1950	-217	25–50	-13...-3
ADF4360-4	1450–1750	-217	25–50	-13...-4
ADF4360-5	1200–1400	-217	25–45	-13...-4
ADF4360-6	1050–1250	-217	25–45	-13...-4
ADF4360-7	350–1800	-217	25–45	-13...-4
ADF4360-8	85–400	-217	20–40	-13...-4

1/2/3/4/5/6/7/8 (табл. 3), реализованных по единой структурной схеме (рис. 13).

Схема синтезатора содержит встроенный ГУН, цифровой детектор, выполненный на основе фазового компаратора и зарядовой помпы (см. рис. 4), входной делитель с целочисленным коэффициентом деления R (1–16 383) и петлевой делитель также с целочисленным коэффициентом деления, реализованный по схеме рис. 7. Параметры последнего: P — 8, 16, 32 и 64; A от 0 до 31, B от 3 до 8191. Схема требует подключения внешнего генератора опорного сигнала с максимальной частотой 250 МГц. Максимальная выходная частота детектора составляет 8 МГц. Напряжение питания всех микросхем однополярное и составляет 3,0–3,6 В. Для уменьшения энергопотребления имеется возможность программируемой установки величины потребляемого тока.

Все микросхемы семейства выпускаются в корпусе LPSCP-24. Микросхемы моделей 0/1/2/3/4/5/6 содержат встроенные индуктивности резонансной системы ГУН. Модели 7/8 требуют подключения внешних индуктивностей, для чего предусмотрены соответствующие выводы. Микросхемы семейства различаются только диапазоном сетки выходных частот (табл. 3).

Программные средства разработки

Компания Analog Devices совместно с Applied Radio Labs разработала программу ADIsimPLL для моделирования ФАПЧ и схем на ее основе. Программа содержит библиотеку моделей выпускаемых микросхем ФАПЧ, а также библиотеку моделей популярных схем ГУН, включая ГУН с кварцевой стабилизацией. ADIsimPLL позволяет проектировать петлевые фильтры различной конфигурации, моделировать шумы ГУН, опорного генератора, петли ФАПЧ, воздействие помех и процесс захвата частоты. По окончании процедуры моделирования может быть получен эскизный вариант топологии печатной платы проектируемого устройства. Программа находится в свободном доступе на сайте Analog Devices [4].

Помимо этого, для моделирования ФАПЧ и схем на их основе разработчик может использовать широко известный пакет MathLab (предпочтительно в версии не ниже 6.5). ■

Литература

1. Curtin M., O'Brien P. Phase-Locked Loops for High-Frequency Receivers and Transmitters — Part 1. Analog Dialogue, vol. 33, N3, 1999.
2. Curtin M., O'Brien P. Phase-Locked Loops for High-Frequency Receivers and Transmitters — Part 2. Analog Dialogue, vol. 33, N5, 1999.
3. Analog Devices PLL/Synthesizer Product Selection Table.2005. www.analog.com
4. www.analog.com/pll