

# БЕСПРОВОДНЫЕ МИКРОКОНТРОЛЛЕРЫ СЕМЕЙСТВА STM32WB55XX ОТ STMICROELECTRONICS

ГЕОРГИЙ ВОРОНЦОВ, инженер

*В статье рассмотрены некоторые основные особенности микроконтроллера STM32WB55xx от STMicroelectronics со встроенной РЧ-подсистемой. Приведены основные параметры устройства, и описаны наиболее важные, с точки зрения автора, модули.*

## ВВЕДЕНИЕ

Хотя компания STMicroelectronics и имеет довольно развитую продуктовую линейку микроконтроллеров (МК), состоящую из 14 семейств, в состав которых входит более 60 микросхем, тем не менее не очень часто балует рынок новинками. Семейства МК компании представлены в таблице 1.

## Словарь

**AGC** – автоматическое управление напряжением  
**AHB** – усовершенствованная высокопроизводительная шина  
**APB** – усовершенствованная периферийная шина  
**ART** – адаптивный ускоритель памяти  
**ATT** – протокол атрибутов  
**EXTI** – контроллер прерываний и событий  
**EVG** – блок генерации событий  
**FPU** – модуль для операций с числами с плавающей точкой  
**IAP** – программирование из приложения  
**ICP** – внутрисхемное программирование  
**IWDG** – независимый сторожевой таймер  
**GATT** – профиль общих атрибутов  
**HSE** – высокоскоростной внешний осциллятор  
**HSI16** – высокоскоростной встроенный осциллятор  
**LPUART** – интерфейс UART с пониженным энергопотреблением  
**MPU** – модуль защиты памяти  
**MSI** – многоскоростной встроенный RC-осциллятор  
**NVIC** – контроллер векторных прерываний  
**PKA** – ключи общего доступа  
**PWR** – блок управления питанием  
**SM** – менеджер безопасности  
**SYSCFG** – системный конфигурационный контроллер  
**TSC** – контроллер сенсорной клавиатуры

Последние новшества компании заслуживают пристального внимания. STMicroelectronics впервые в своей деятельности выпустила серию беспроводных двудерных МК семейства STM32WB55. В таких случаях всегда интересно узнать, что нового принесет новый участник в общем-то сложившееся направление. Это мы и попытаемся выяснить в настоящей статье, в которой опишем основные модули МК в максимальной конфигурации. Описание вполне подойдет и для других МК семейства, которые лишь количественно отличаются от МК максимальной конфигурации, например, меньшим числом каналов АЦП или интерфейса.

Для первоначального знакомства рекомендуем обратить внимание на рисунок 1, где представлено новое семейство МК. Поскольку новое семей-

ство базируется на хорошо известных процессорных ядрах ARM Cortex M4 с модулем FPU для операций с числами с плавающей точкой и ARM Cortex M0+, мы не будем углубляться в их описание, мы лишь по мере необходимости упомянем о его свойствах. Точно так же мы поступим с модулями МК, которые хорошо известны и много раз описаны. К ним относятся, например, стандартные коммуникационные интерфейсы.

## АРХИТЕКТУРА МИКРОКОНТРОЛЛЕРОВ СЕМЕЙСТВА STM32WB55

Структурная схема МК представлена на рисунке 2. Обращает на себя внимание встроенный 19-канальный 12-бит АЦП с относительно высокой производительностью 4,26 Мвыб/с, а также наличие довольно большого числа модулей, обеспечивающих защиту дан-

Таблица 1. Семейства микроконтроллеров компании STMicroelectronics

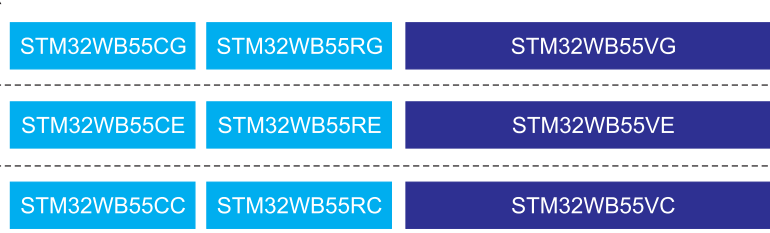
Семейство МК	Процессорные ядра				
	ARM Cortex M0/M0+	ARM Cortex M3	ARM Cortex M4	ARM Cortex M33	ARM Cortex M7
Высокопроизводительные МК		STM32F2	STM32F4		STM32F7
МК массовых серий общего назначения	STM32G0, STM32F0	STM32F1	STM32F3		
МК с очень малым энергопотреблением	STM32L0	STM32L1	STM32L4, STM32L4+	STM32L5	
Беспроводной МК			STM32WB55		

Емкость флэш-памяти/ОЗУ

1 Мбайт/  
256 Кбайт

512 Кбайт/  
256 Кбайт

256 Кбайт/  
128 Кбайт



Корпус  
и число  
выводов

Рис. 1. Микроконтроллеры семейства STM32WB55

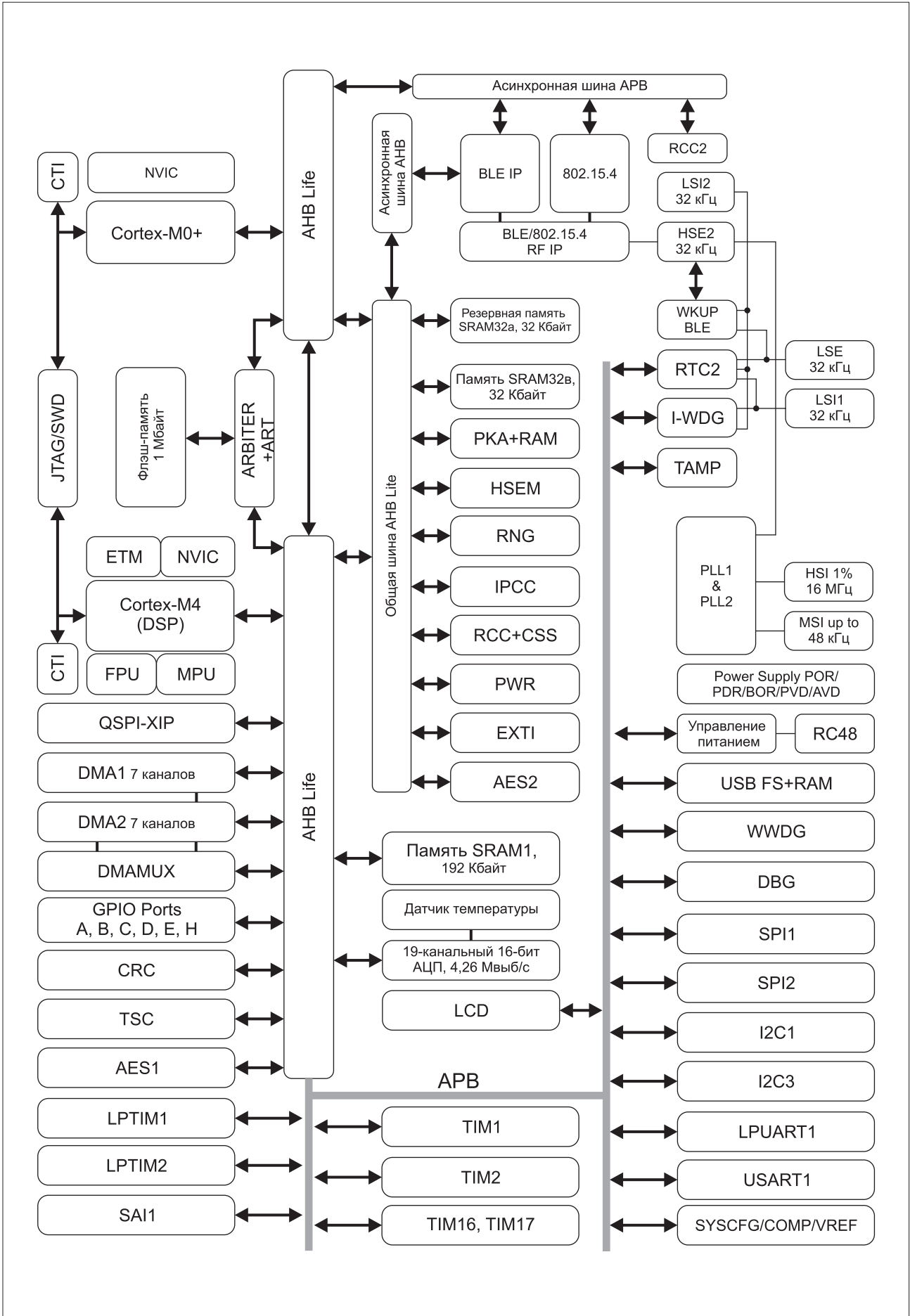


Рис. 2. Структурная схема МК

ных и модулей с очень малым энергопотреблением. Последнее принесло свои плоды – в активном режиме потребление МК не превышает 53 мкА/МГц при активированной РЧ-подсистеме, а в режимах пониженного энергопотребления ток варьируется в пределах 13 нА...2,1 мкА.

Максимальная частота тактирования ЦП составляет 64 МГц, а производительность достигает 80 DMIPS. Попутно отметим, что при обращении к встроенной флэш-памяти не требуется вводить дополнительные циклы ожидания. Архитектура МК базируется на семи ведущих и 10 ведомых модулях относятся:

- шина команд I-bus Cortex M4;
- шина данных D-bus Cortex M4;
- системная шина S-bus Cortex M4;
- системная шина S-bus Cortex M0+;
- DMA1;
- DMA2;
- РЧ-подсистема.

К ведомым модулям принадлежат:

- шина команд I-bus флэш-памяти для Cortex M4;
- шинных D-bus флэш-памяти для Cortex M4;
- системная шина S-bus для Cortex M0+;
- SRAM1 (192 Кбайт);
- SRAM2a (32 Кбайт) + SRAM2b (32 Кбайт);
- периферия AHB1;
- периферия AHB2;
- счетверенный интерфейс Quad SPI;
- периферия AHB4;
- AHB5.

Шинная матрица BusMatrix обеспечивает доступ ведущего устройства к ведомому даже в случае одновременного обращения к нескольким разным периферийным устройствам. Ее организация показана на рисунке 3. Матрица BusMatrix осуществляет арбитраж в случае, когда одновременный запрос от ведущих устройств не может обслуживаться. В этой ситуации арбитраж производится с использованием циклического алгоритма (Round Robin algorithm). В нем на каждую задачу выделяется определенное время. Если в течение этого времени выполнение задачи не завершается, ее исполнение прерывается, и она переносится в конец очереди.

Два моста между шинами AHB/APB осуществляют синхронизацию между шиной AHB и двумя периферийными шинами APB, благодаря чему имеется возможность выбирать разную частоту тактирования для периферийных модулей.

Объем адресного пространства МК составляет 4 Гбайт; оно разбито на восемь блоков по 512 Кбайт каждый. Области памяти, не выделенные для

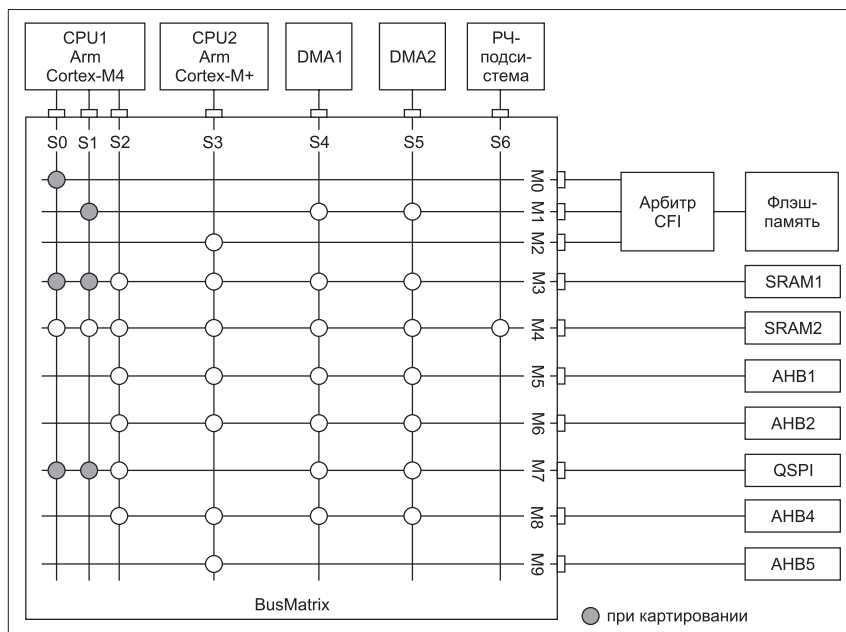


Рис. 3. Шинная матрица BusMatrix

встроенной памяти, считаются резервными. Некоторые ее области и периферийные устройства защищены – к ним могут обращаться только назначенные ведущие устройства.

Для конфигурации системы используется системный контроллер SYSCFG, в который входит набор регистров для записи установок. Контроллер SYSCFG выполняет следующие функции:

- переопределение областей памяти;
- управление внешними прерываниями, подключенными к портам ввода/вывода;
- управление устойчивостью и защитой от сбоя;
- установка защиты от записи и стирания SRAM2 и ключей общего доступа PKA RAM;
- конфигурирование прерываний модуля FPU;
- разрешение/запрет режима высокоскоростной передачи данных интерфейса I2C;
- маскирование прерываний.

### ПАМЯТЬ

Встроенная память состоит из ОЗУ объемом 256 Кбайт, в т. ч. 64 Кбайт с проверкой четности и флэш-памяти емкостью 1 Мбайт. ОЗУ разделено на три секции:

- SRAM1 на 192 Кбайт;
- SRAM2a на 32 Кбайт;
- SRAM2b на 32 Кбайт.

Отдельные сегменты секций SRAM2a и SRAM2b могут быть защищены от записи; их величина не может быть меньше 1 Кбайт. Обе эти секции предназначены для РЧ-подсистемы и недоступны для ЦП1. В секции SRAM2a информация может сохраняться в некоторых режи-

мах пониженного энергопотребления, тогда как в секциях SRAM1 и SRAM2b в этих же режимах данные не сохраняются.

Флэш-память имеет страничную организацию. Емкость каждой страницы: 4 Кбайт. Ширина шин чтения и записей составляет 72 бит, из которых 8 бит являются кодом обнаружения ошибки ECC. Во флэш-памяти может использоваться защита отдельных областей от чтения и записи.

Для кэш-памяти команд ЦП1 выделены 32 линии 4×64 бит (1 Кбайт); кэш-память данных содержит восемь линий 4×64 бит (256 байт), а кэш-память команд ЦП2 состоит из четырех линий 1×64 бит (32 байта). Кэш используется для того, чтобы минимизировать время, которое может быть потеряно из-за выполнения команд переходов. Он активируется установкой бита в специальном регистре. Всякий раз, когда происходит промах кэша (запрошенные данные отсутствуют), строка чтения копируется в кэш. Если же запрошенные данные присутствуют в кэш-памяти, то они сразу же предоставляются по запросу ЦП. Если все линии в кэш-памяти заполнены, то замещается линия с командами, не используемыми в последних запросах.

Для программирования флэш-памяти используются два способа: внутрисхемное ICP-программирование из приложения (самопрограммирование) IAP. В способе ICP используются интерфейсы JTAG, SWD или любой интерфейс, протокол которого поддерживается загрузчиком. В этом случае происходит перезапись всей памяти. При программировании с помощью IAP применяются встроенные интерфейсы, например USB,

UART, I2C, SPI и т.д. Заметим, что использование IAP позволяет программировать, не прерывая работу МК. Стирание памяти происходит постранично.

Для ускорения обращения к флэш-памяти используется фирменный адаптивный ускоритель ART, действие которого эквивалентно отсутствию циклов ожидания при обращении к памяти. Действие ускорителя осно-

вано на предварительной выборке команд и организации очереди. При сниженном напряжении питания ядра предусмотрена возможность введения циклов задержки при обращении к флэш-памяти.

В системе флэш-памяти имеются защищенные регистры установки опций, в которые можно записать пользовательские данные. Запись в эти реги-

стры осуществляет защищенный ЦП2. ЦП1 не может модифицировать содержания этих регистров, но они доступны для чтения.

Модуль защиты памяти MPU используется для ограничения доступа к ее отдельным областям. Всего память можно разделить на восемь защищенных областей, каждая из которых, в свою очередь, делится на восемь блоков. Раз-

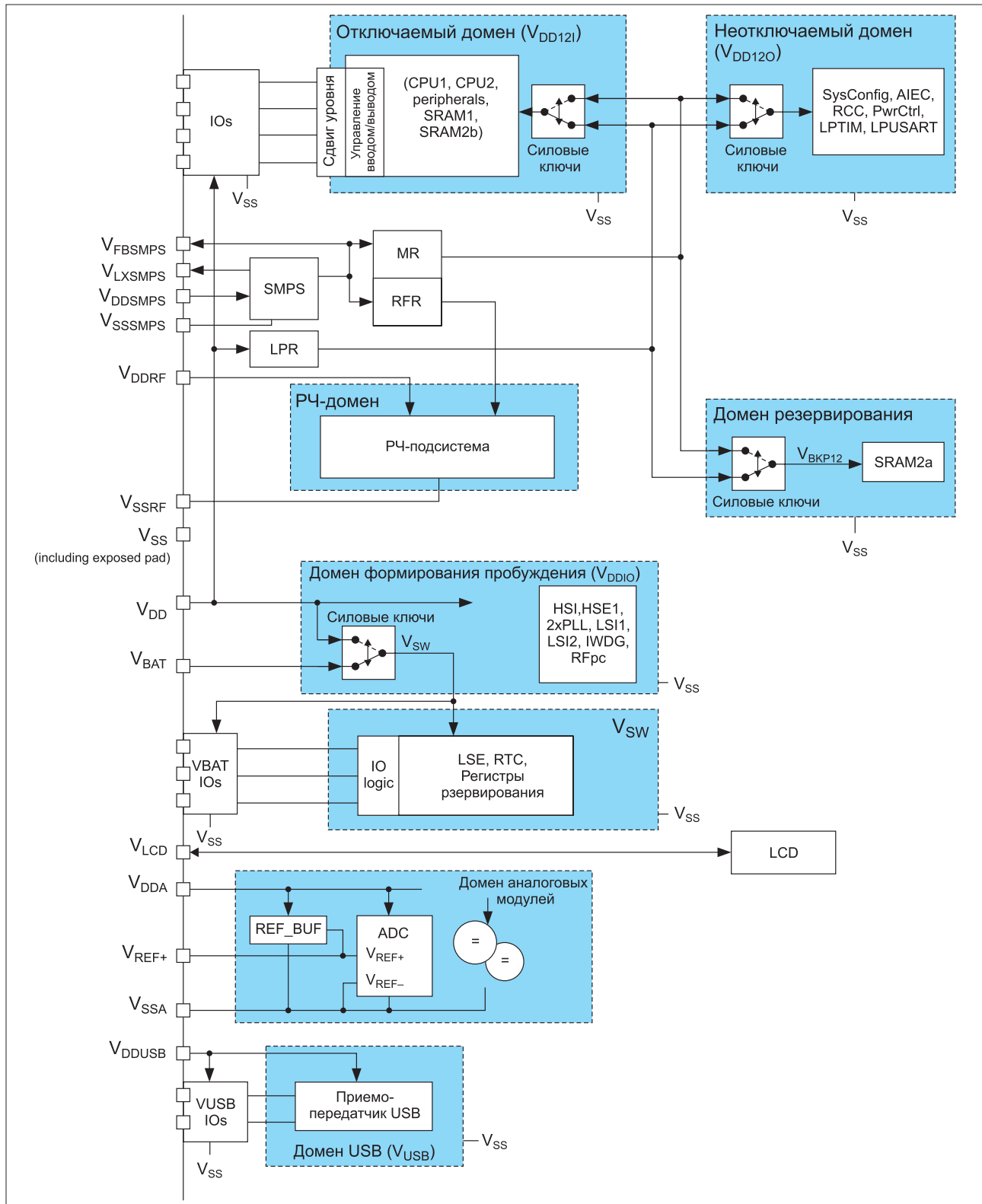


Рис. 4. Схема питания МК

мер области варьируется в пределах 32 байт...4 Гбайт. Для каждой области можно задать список устройств, которым запрещено к ней обращаться. Возможность использования модуля MPU выбирается пользователем, и активация модуля необязательна.

**ПИТАНИЕ И РЕЖИМЫ Пониженного Энергопотребления**

Электропитание МК осуществляется несколькими шинами питания. Встроенный понижающий DC/DC-преобразователь помогает снизить энергопотребление. Однако возможен байпасный режим работы, или т. н. LDO-конфигурация, при котором DC/DC-преобразователь выключен, а все требуемые напряжения формируются LDO-регуляторами. К LDO-конфигурации обычно прибегают при низком входном напряжении или в случае, когда низкое энергопотребление не является приоритетом.

Лучше всего схема питания иллюстрируется рисунком 4. На нем показаны все домены питания. Приведенный рисунок полностью описывает схему питания, поэтому мы не будем его дополнять текстовым описанием, но лишь приведем номинальные значения напряжений:

- VDD = 1,71–3,6 В;
- VDDA = 1,62–3,6 В;
- VDDUSB = 3,0–3,6 В;
- VLCD = 2,5–3,6 В.

Попутно заметим, что VDDRF и VDDSMPS должны быть всегда подключены к выводам VDD. В режимах пониженного энергопотребления напряжение VDD можно уменьшить. При этом если величина VDD не превышает 1 В, значения напряжений VDDA, VDDUSB и VLCD должны быть больше величи-

ны VDD как минимум на 300 мВ. Если же напряжение VDD превышает 1 В, все остальные напряжения устанавливаются независимо.

В МК имеется внешний вывод VBAT для подключения внешней батареи или суперконденсатора, питающих часы реального времени RTC, генератор LSE и резервные регистры. При питании от батареи доступны для использования три внешних вывода, позволяющих обнаружить несанкционированный доступ. Режим VBAT активируется автоматически при отсутствии питания VDD. Кроме того, в МК предусмотрена схема для заряда батареи при наличии питания VDD. Схема зарядки активируется пользователем.

В МК предусмотрены восемь режимов пониженного энергопотребления, что позволяет гибко управлять энергопотреблением. Кратко опишем каждый из них.

- В режиме сна (Sleep mode) ЦП1 остановлен, а вся периферия, включая РЧ-подсистему, активна. Пробуждение ЦП1 осуществляется по прерыванию или событию.
- Активный режим с низким энергопотреблением (Low-power run mode) характеризуется уменьшением напряжения питания ядра VCORE до минимального значения и снижением частоты тактирования до 2 МГц. РЧ-подсистема также отключается и недоступна.
- В режим сна с пониженным энергопотреблением (Low-power sleep mode) МК может перейти из активного режима с низким энергопотреблением. В этом режиме прекращается тактирование ЦП1, и недоступна РЧ-подсистема. При пробуждении МК

переходит в активный режим с низким энергопотреблением.

- В режимах Stop 0, Stop 1 и Stop 2 достигается минимальное энергопотребление при сохранении данных в ОЗУ и регистрах Внешний осциллятор LSE и внутренний осциллятор LSI продолжают быть активны. Режимы различаются лишь наличием активных периферийных устройств.
- В режиме ожидания (Standby mode) отключается питание домена VCORE. В этом режиме не сохраняется содержимое памяти SRAM1, SRAM2b и всех регистров, но имеется возможность сохранить содержимое SRAM2a. Выход из этого режима осуществляется по внешнему сбросу, по сигналу независимого сторожевого таймера IWDG.
- В режиме останова (Shutdown mode) достигается минимальное энергопотребление. Домен VCORE выключен, содержимое памяти и регистров теряется, резервный домен также не поддерживается. Выход из этого режима происходит по внешнему сбросу или событию.

**СБРОС И ТАКТИРОВАНИЕ**

В МК предусмотрены три типа сброса:

- системный сброс;
- сброс по питанию;
- сброс резервируемого домена.

Сброс МК семейства STM32WB55 не имеет каких-либо интересных особенностей, которые могли бы заинтересовать разработчиков, и мы не будем подробно останавливаться на этом разделе.

Для тактирования МК можно использовать четыре источника частоты:

- высокоскоростной встроенный RC-осциллятор HSI16, генерирую-

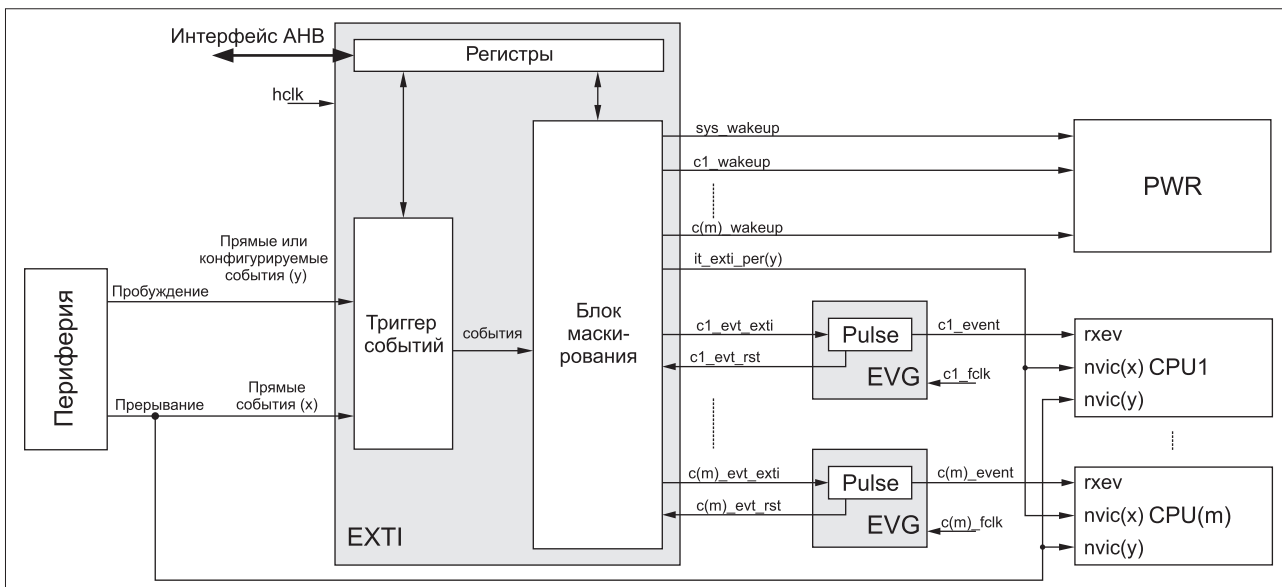


Рис. 5. Структурная схема контроллера EXTI

- ций тактовую последовательность частотой 16 МГц;
- многоскоростной встроенный RC-осциллятор MSI, генерирующий тактовые последовательности частотой 100 кГц...48 МГц;
  - высокоскоростной внешний осциллятор HSE, формирующий тактовую последовательность 32 МГц;
  - PLL.

Каждый из перечисленных источников частоты управляется независимо и может выключаться с целью снижения энергопотребления.

### КОНТРОЛЛЕР ПРЕРЫВАНИЙ И СОБЫТИЙ EXTI

Контроллер прерываний и событий EXTI управляет пробуждением, прерыванием обоих ЦП и другими ресурсами МК. Структурная схема контроллера EXTI показана на рисунке 5. Он формирует запросы на прерывания и сигналы пробуждения для выхода из режимов пониженного энергопотребления. Для каждого ЦП используется индивидуальный блок генерации событий EVG. Блок маскирования распределяет сигналы прерывания и событий между ЦП и блоком управления питанием PWR.

Контроллер EXTI поддерживает оба процессорных ядра ЦП1 и ЦП2 и обра-

Таблица 2. Счетчики МК

Тип таймера	Обозначение таймера	Разрешение, бит	Тип счетчика таймера	Количество каналов захватов/сравнения	Количество комплементарных выходов
Таймер управления	TIM1	16	Реверсивный	4	3
Таймер общего назначения	TIM2	32	Реверсивный	4	-
Таймер общего назначения	TIM16	16	Прямой счет	2	1
Таймер общего назначения	TIM17	16	Прямой счет	2	1
Таймеры с низким энергопотреблением	LPTIM1, LPTIM2	16	Прямой счет	1	1

батывает 49 событий, в т. ч. все без исключения события, вызывающие пробуждение. Если происходит событие, не связанное с пробуждением, то контроллер EXTI на основе этого события формирует прерывание. Кроме того, некоторые события или их комбинация могут использоваться для формирования сигнала пробуждения. Асинхронные события разделяются на две группы:

- конфигурируемые события;
- непосредственные события.

В конфигурируемых событиях настраивается активный фронт импульса, по которому фиксируется событие при получении

сигнала прерывания. В регистре EXTI состояния устанавливается бит, и прерывание находится в состоянии ожидания. Для конфигурируемых событий и прерываний можно также использовать индивидуально маскирование.

В прямых событиях активный фронт сигнала фиксирован, флаг прерывания устанавливается в периферийных устройствах, вызвавших прерывание, и не устанавливается в регистрах контроллера EXTI. Как и в конфигурируемых прерываниях, при прямых прерываниях имеется возможность индивидуально маскировать прерывания и события.

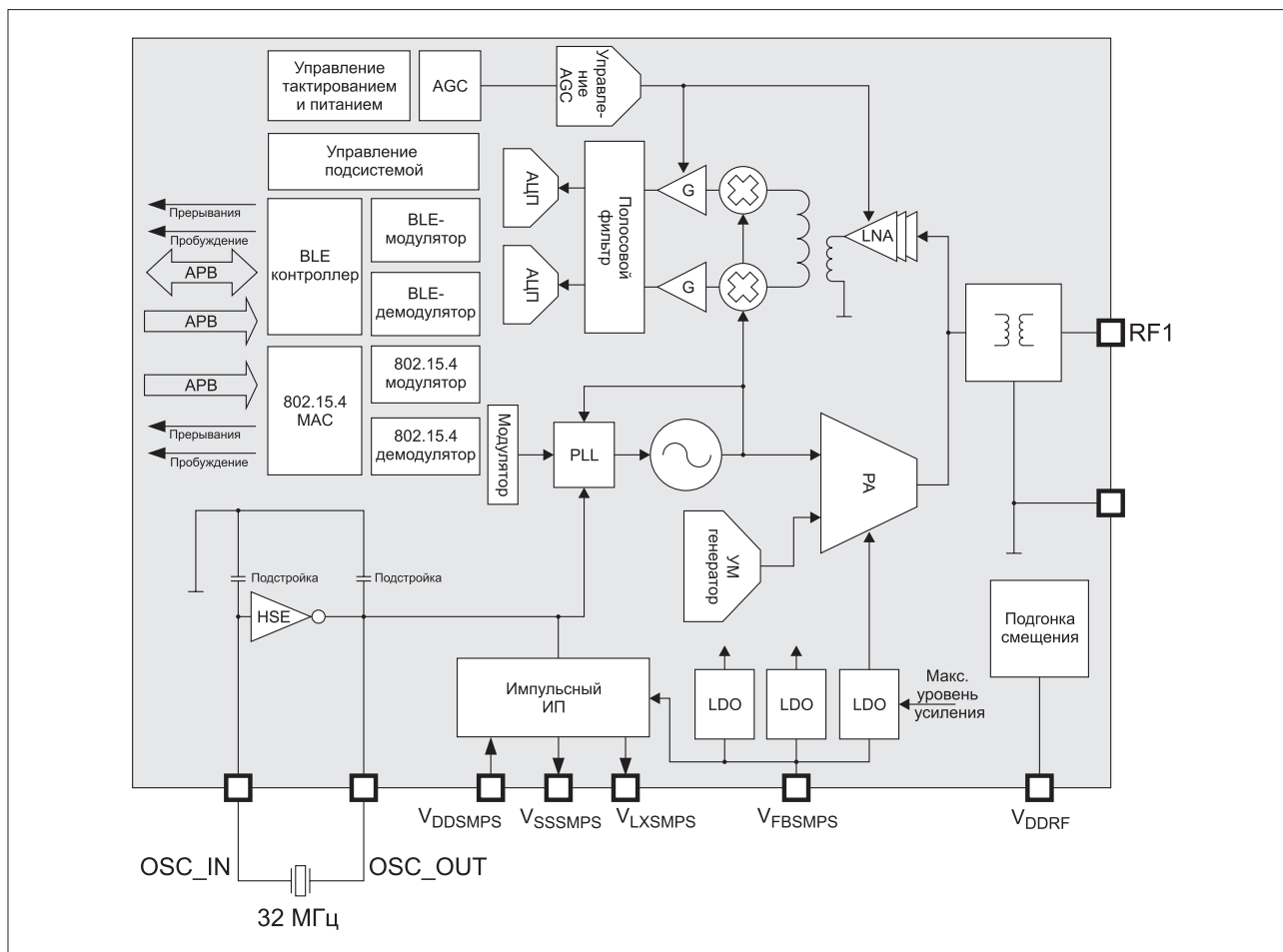


Рис. 6. Структурная схема РЧ-подсистемы

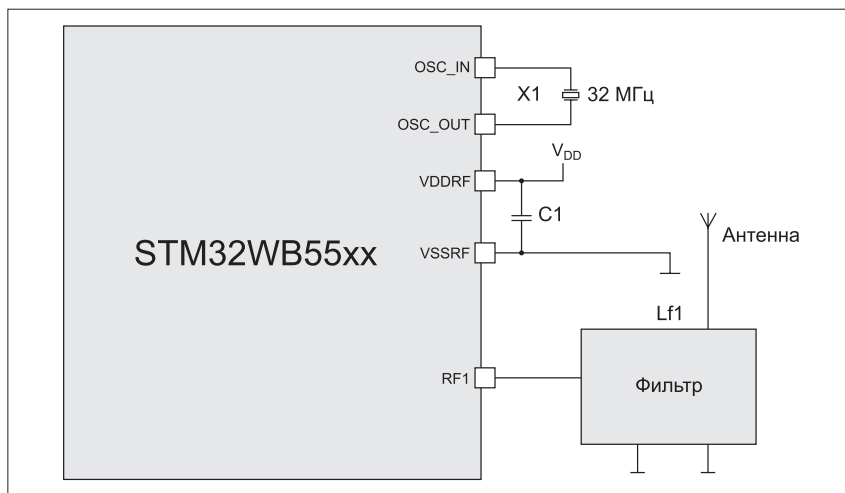


Рис. 7. Упрощенная схема включения антенны

### ЦИФРОВАЯ ПЕРИФЕРИЯ

В этом разделе мы перечислим и кратко опишем основные модули цифровой периферии. К ним относятся таймеры, интерфейсы, контроллеры ЖКД и сенсорной клавиатуры. Таймеры, входящие в состав МК, ничем не смогут удивить искушенного разработчика, поэтому мы только их перечислим в таблице 2. Заметим, что все таймеры имеют программируемый предварительный делитель  $1 \dots 65536$  и могут формировать запрос DMA.

Поскольку встроенные коммуникационные интерфейсы хорошо известны разработчикам даже с небольшим стажем, мы ограничимся их перечислением:

- I2C. Возможны три режима передачи данных:
  - стандартная скорость (Sm) 100 Кбит/с;
  - высокоскоростной режим (Fm) 400 Кбит/с;
  - высокоскоростной режим (Fm+) 1 Мбит/с;
- USART. Помимо стандартного интерфейса USART, поддерживаются также протоколы IrDA, SIR, ENDEC и LIN.
- LPUART. Стандартный интерфейс UART с пониженным энергопотреблением. Максимальная скорость передачи данных составляет 220 Кбит/с.
- SPI. Каждый из двух каналов этого интерфейса обеспечивает скорость передачи данных до 32 Мбит/с в режиме ведущего устройства и до 24 Мбит/с в режиме ведомого устройства.
- SAI. Двухканальный дуплексный аудиointерфейс.
- Quad-SPI. Осуществляет интерфейс с внешней памятью типа SDR и DDR.

Контроллер сенсорной клавиатуры TSC поддерживает до 18 каналов, причем три канала могут опрашиваться одновременно. Контроллер TSC использует технологию распределенного спектра, что уменьшает электромагнитные помехи. Контроллер ЖКД поддерживает до 408-сегментных индикаторов.

### АНАЛОГОВЫЕ МОДУЛИ

В состав аналоговых модулей входит 12-бит АЦП последовательного приближения, два аналоговых компаратора, источник опорного напряжения (ИОН) и датчик температуры. АЦП поддерживает до 19 входных каналов и может работать в режимах 6-, 8-, 10- и 12-бит разрешения. Максимальная производительность АЦП составляет 4,27 Мвыб/с. Время выборки устанавливается независимо от тактовой частоты шины АНВ. Минимальное время преобразования достигается в режиме 10-бит преобразования и составляет 203 нс.

Максимальное входное напряжение компаратора равно его напряжению питания. Программируются четыре величины гистерезиса: 0, 8, 15 и 27 мВ. Минимальная задержка распространения составляет 55 нс, а в режиме очень низкого энергопотребления увеличивается до 4 мкс. Типовая погрешность датчика температуры не превышает  $\pm 1^\circ\text{C}$ . Типовое значение опорного напряжения составляет 1,212 В, температурный коэффициент изменения опорного напряжения в худшем случае не превышает 50 ppm/ $^\circ\text{C}$ .

### РЧ-ПОДСИСТЕМА

Структурная схема РЧ-подсистемы представлена на рисунке 6. Эта система управляется ЦП2 (ARM Cortex M0+) и поддерживает спецификацию Bluetooth Low Energy BLE5.0, а также контроллер физического уровня стандарта IEEE 802.15.4. Обмен данными между РЧ-подсистемой и ЦП1 происходит через выделенный почтовый ящик. Это стандартный способ обмена данными в многоядерных контроллерах на процессорных ядрах ARM Cortex.

РЧ-подсистема использует модуляцию несущей в режиме передачи Tx и архитектуру с промежуточной частотой в режиме приема Rx. Благодаря

встроенному согласующему устройству внешний вывод МК можно подключать непосредственно к антенне. Упрощенная схема ее подключения показана на рисунке 7. В режиме передачи максимальная выходная мощность устанавливается пользователем путем программирования напряжения LDO-регулятора, питающего усилитель мощности.

В режиме приема пользователь может выбирать между стандартным режимом и режимом с пониженным энергопотреблением, в котором РЧ-подсистема работает в режиме пониженной производительности. Автоматическое управление напряжением AGC действует во входном тракте и тракте промежуточной частоты, благодаря чему можно улучшить подавление шумов.

Кратко опишем некоторые особенности РЧ-подсистемы при работе в режимах BLE и IEEE 802.15.4.

Начнем с режима BLE. В нем возможна работа РЧ-подсистемы и в качестве ведущего, и в качестве ведомого устройства. Максимальная скорость передачи данных составляет 2 Мбит/с. При работе в режиме питания с DC/DC-преобразователем и максимальной мощности передачи 6 дБм ток потребления не превышает 8,1 мА. Перечислим основные параметры:

- протокол атрибутов ATT и профиль общих атрибутов GATT: клиент и сервер;
- менеджер безопасности SM: конфиденциальность, аутентификация и авторизация;
- протокол L2CAP;
- канальный уровень LL: шифрование/дешифрование AES-128.

При работе в стандарте IEEE 802.15.4 имеется выделенный адрес MAC. Поддерживается 802.15.4, выпущенный в 2011 г.;

- расширена фильтрация кадров MAC, брандмауэр и программируемые фильтры по адресу источника;
- Rx FIFO емкостью 256 байт позволяет принять до восьми кадров;
- Tx FIFO емкостью 128 байт с сохранением данных в режиме пониженного энергопотребления;
- расширенные возможности доступа к каналу;
- программируемая задержка при передаче;
- регистры конфигурации доступны в режимах с пониженным энергопотреблением вплоть до режима ожидания;
- автоматическая передача кадров, прием кадров, переход в режим сна по запрограммированным событиям.  $\square$