

Flash-семейства ПЛИС «Актел»

Сергей КАРПОВ
karpov@actel.ru

Сегодня на рынке электронных компонентов представлено большое количество семейств программируемых логических интегральных схем (ПЛИС) различных производителей. В данной статье представлены три семейства ПЛИС корпорации «Актел», выполненные по Flash-технологии — ProASIC3/E, IGLOO и Fusion.

ПЛИС — один из наиболее интересных для широкого круга разработчиков аппаратуры и динамически развивающихся сегментов рынка электроники. Непрерывно появляются новые семейства и новые микросхемы, обладающие все большей степенью интеграции, быстродействием, более сложной архитектурой, наличием интегрированной периферии, меньшим удельным потреблением и цены за вентиль.

Сегодня ПЛИС используются в различных областях, начиная с недорогих бытовых цифровых фотоаппаратов, плееров и т. д. и заканчивая высокотехнологичными системами для военной и космической промышленности. Можно выделить три наиболее распространенных направления использования ПЛИС. Первое — это микропроцессорные системы на кристалле (SoC — System on Chip). Второе — портативные устройства, где в первую очередь важно минимальное потребление. И третье — системы цифровой обработки сигналов (ЦОС).

Технология

В ПЛИС семейств ProASIC3/E, IGLOO/E и FUSION конфигурационные ключи, распределенные по кристаллу, выполнены с использованием Flash КМОП технологии.

На рис. 1 представлена схема конфигурационного Flash-ключа. Он состоит из двух транзисторов с общим плавающим затвором, в котором запоминается состояние ключа после программирования. Первый транзистор служит для программирования, стирания и верификации состояния ключа. Второй — это непосредственно ключевой транзистор, который используется для конфигурации логических ячеек или подключения локальных и глобальных связей.

У большинства производителей конфигурационная матрица выполнена по SRAM технологии. Для хранения данных о конфигурации используется внешнее или интегрированное однократно или многократно программируемое ПЗУ, из которого эти данные загружаются в ПЛИС при включении питания.

Поэтому для указанных семейств не требуются какие-либо дополнительные конфигурационные устройства, и обеспечивается готовность ПЛИС к работе непосредственно по включению питания.

Другой немаловажной характеристикой является отсутствие «броска» тока потребления по включению питания, характерного для ПЛИС, выполненных по технологии SRAM (рис. 2). Например, для микросхем семейства Cyclone фирмы «Альтера» он может достигать 1,2 А.

ProASIC3/E



Семейство ProASIC3/E разрабатывалось на базе уже хорошо известной архитектуры ПЛИС ProASIC^{plus}. По сравнению с ProASIC^{plus} чипы этого семейства имеют больший объем (от 30 тыс. до 3 млн системных вентилях), тактовую частоту до 350 МГц и более развитую архитектуру тактирования, включая наличие до 6 интегрированных умножителей частоты (PLL). Напряжение питания ядра составляет 1,5 В.

Это семейство ориентировано, в первую очередь, на построение систем на кристалле с минимальным набором внешней периферии, что позволяет уменьшить габариты, потребление и стоимость изделия в целом. Flash-технология изготовления обеспечивает низкое потребление (от 2 мА в статическом режиме) и старт работы непосредственно по включению питания.

На рис. 3 представлена внутренняя архитектура ПЛИС.

Логическая матрица ProASIC3/E состоит из массива логических ячеек (рис. 4), называемых VersaTile, которые могут быть сконфигурированы как:

- любой трехходовый логический элемент (И, ИЛИ, НЕ, И-НЕ и т. д.);
- регистр-защелка со сбросом или предустановкой;

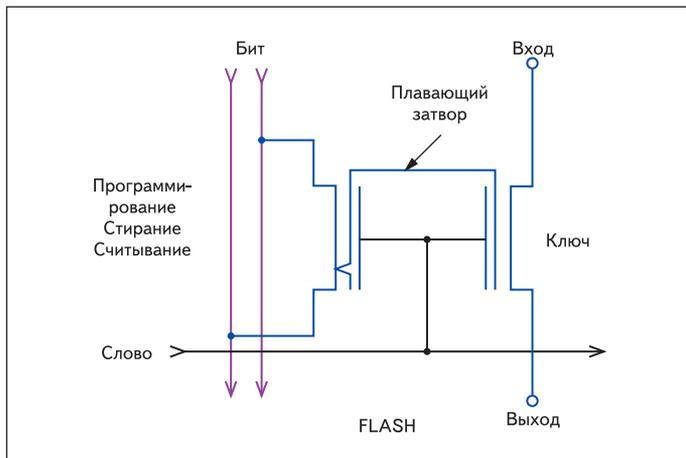


Рис. 1. Схема конфигурационного ключа Flash ПЛИС «Актел».

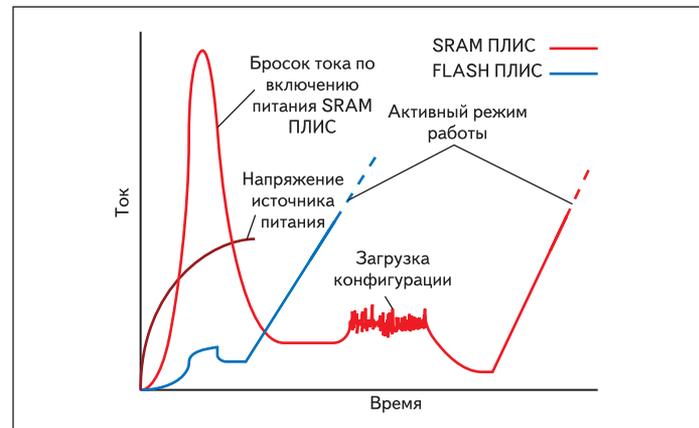


Рис. 2. График потребления тока при включении питания для ПЛИС на основе технологии Flash и SRAM

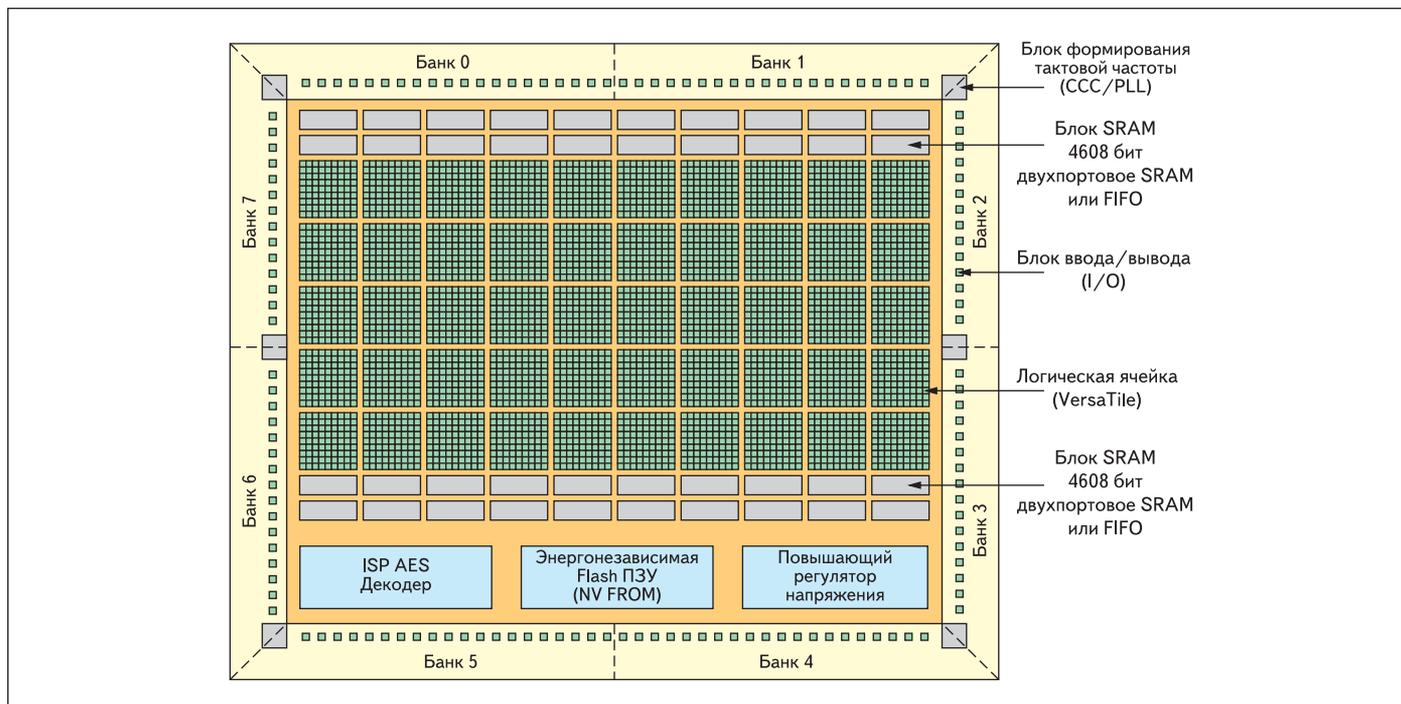


Рис. 3. Архитектура ProASIC3/E

- D-триггер со сбросом, предустановкой или разрешением работы (трехвходовый);
- D-триггер с разрешением и сбросом или предустановкой (четыреходовый).

ProASIC3/E имеет полноценную конфигурируемую двухпортовую SRAM общим объемом до 504 кбит, которая может быть сконфигурирована как ОЗУ или как FIFO.

Развитая схема внутреннего тактирования включает до шести конфигурируемых блоков формирования тактовой частоты с аналоговыми умножителями частоты.

Интегрированное Flash ПЗУ объемом 1 кбит с синхронным доступом организовано как 8×128 бит. Оно может использоваться, например, для хранения пользовательских конфигурационных данных.

По периметру кристалла располагаются блоки ввода/вывода, которые могут быть сконфигурированы под различные стандарты и уровни сигналов. Они обеспечивают совместимость со многими стандартами входов/выходов, включая дифференциальные — LVTTTL, LVCMOS, 3.3V PCI/3.3V PCI-X, LVPECL, LVDS, BLVDS, MLVDS. Кроме того, в чипе реализована поддержка интерфейса DDR со скоростью передачи данных до 700 Мбит/с. Входы и выходы ПЛИС могут быть сконфигурированы для работы с сигналами, имеющими уровни напряжения 1,5, 1,8, 2,5, 3,3 В. Все блоки объединены в банки с независимыми входами питания, что позволяет работать ПЛИС в системе с несколькими рабочими напряжениями без дополнительных схем согласования уровней.

Программирование конфигурации ПЛИС можно производить непосредственно на плате через JTAG-интерфейс, и для этого не тре-

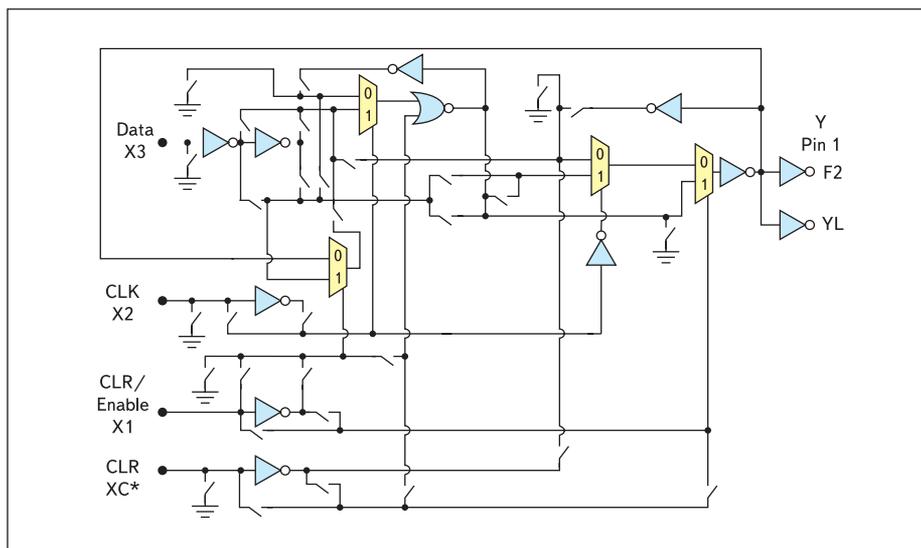


Рис. 4. Структура логической ячейки VersaTile ProASIC3/E

буется отдельный источник питания. Для этого в ПЛИС имеется интегрированный регулятор, который формирует необходимое напряжение для программирования Flash-матрицы.

Защита дизайна от копирования осуществляется с помощью 128-битного кодирования AES. Для этого в ПЛИС интегрирован AES-декодер, который также не позволяет считать конфигурацию ПЛИС через интерфейс JTAG, обеспечивая при этом возможность полноценной верификации и отладки.

Семейство ProASIC3/E имеет также версии ПЛИС, адаптированные под использование процессорных ядер CoreMP7 и Cortex-M1.

В таблице 1 приведены характеристики выпускаемых ПЛИС данного семейства.

ПЛИС семейства ProASIC3/E можно применять для самых разнообразных схемотехнических решений — от разработки небольших контроллеров до построения сравнительно недорогих систем на кристалле, что позволяет значительно сократить габариты, потребление и стоимость системы в целом, а также сократить время и затраты на разработку. Вследствие низкого по сравнению с ПЛИС на основе SRAM технологий энергопотребления значительно снижается нагрев микросхем.

В этом семействе имеются ПЛИС, предназначенные для использования в автомобильной промышленности. Они имеют расширенный температурный диапазон — от -40 до $+135$ °C.

Таблица 1. Характеристики ПЛИС ProASIC3/E

ProASIC3/E	A3P030	A3P060	A3P125	A3P250	A3P400	A3P600	A3P1000	A3PE600	A3PE1500	A3PE3000	
ARM-адаптированные	CoreMP7						M7A3P1000				
	Cortex-M1						M1A3P600		M1A3P1000		M1A3PE1500 M1A3PE3000
Системных вентиляей	30 000	60 000	125 000	250 000	400 000	600 000	1 000 000	600 000	1 500 000	3 000 000	
Логических ячеек (D-триггеров)	768	1536	3072	6144	9216	13 824	24 576	13 824	38 400	75 264	
PLLs	—	1	1	1	1	1	1	6	6	6	
Глобальных цепей	6	18	18	18	18	18	18	18	18	18	
FlashROM, кбит	1	1	1	1	1	1	1	1	1	1	
RAM Blocks (4608 бит)	—	4	8	8	12	24	32	24	60	112	
RAM kbits	—	18	36	36	54	108	144	108	270	504	
I/O банков (+ JTAG)	2	2	2	4	4	4	4	8	8	8	
Стандарты I/Os	Std/Hot-Swap	Std+	Std+	Std+/LVDS	Std+/LVDS	Std+/LVDS	Std+/LVDS	Pro	Pro	Pro	
Максимальное количество I/Os	81	96	133	157/38	194/38	235/60	300/74	270/135	444/222	616/300	
Корпуса	QN132 VQ100	QN132 VQ100 FG144 TQ144	QN132 VQ100 FG144 TQ144 PQ208	QN132 VQ100 FG144 PQ209 FG256	FG144 PQ209 FG256 FG484	FG144 PQ209 FG256 FG484	FG144 PQ209 FG256 FG484	PQ209 FG256 FG484	PQ209 FG484 FG676	PQ209 FG484 FG896	

IGLOO/E



На базе ПЛИС ProASIC3/E «Актел» выпустила новое семейство IGLOO/E, которое характеризуется сверхнизким потреблением и ориентировано, в первую очередь, на использование в портативных системах, а также системах, требующих низкого энергопотребления (рис. 5).

Внутренняя архитектура ПЛИС представлена на рис. 6.

Напряжение питания внутренней логики — от 1,2 до 1,5 В, а блоков входов/выходов — до 3,3 В. В отличие от ProASIC3/E, IGLOO характеризуется низким потреблением в статическом рабочем режиме — от 25 мкВт. В таблице 2 представлены основные режимы работы, состояние ПЛИС и минимальное потребление в зависимости от режима работы.

В IGLOO/E используется уникальная технология Flash*Freeze, которая обеспечивает пе-

реход ПЛИС в режим сверхнизкого потребления (менее 5 мкВт). Это позволяет значительно увеличить время работы от батарей без их замены. Для сравнения, у ПЛИС семейства CoolRunner-II фирмы Xilinx минимальное потребление составляет 29 мкВт, что почти в шесть раз больше.

Особенностью этого режима является то, что сохраняется не только содержимое интегрированной SRAM, но и состояние всех триггеров логических ячеек. Система как бы «замораживается», что позволяет при выходе из этого режима просто продолжить выполнение алгоритма работы с того состояния, в котором ПЛИС находилась на момент перехода в режим Flash*Freeze.

Перевод в режим Flash*Freeze осуществляется либо из пользовательского дизайна ПЛИС, либо через специализированный вывод (рис. 7). Время перехода в режим Flash*Freeze и выхода из него менее 1 мкс.

Основные характеристики выпускаемых «Актел» ПЛИС IGLOO/E представлены в таблице 3.

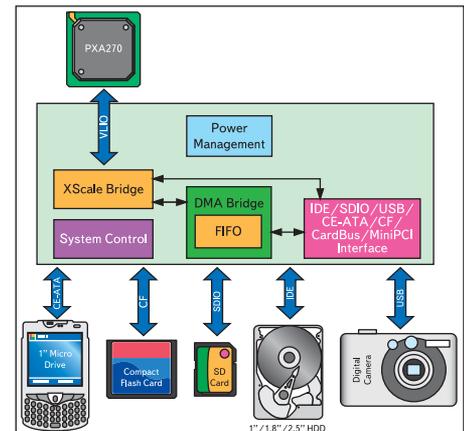


Рис. 5. Типовое применение IGLOO/E

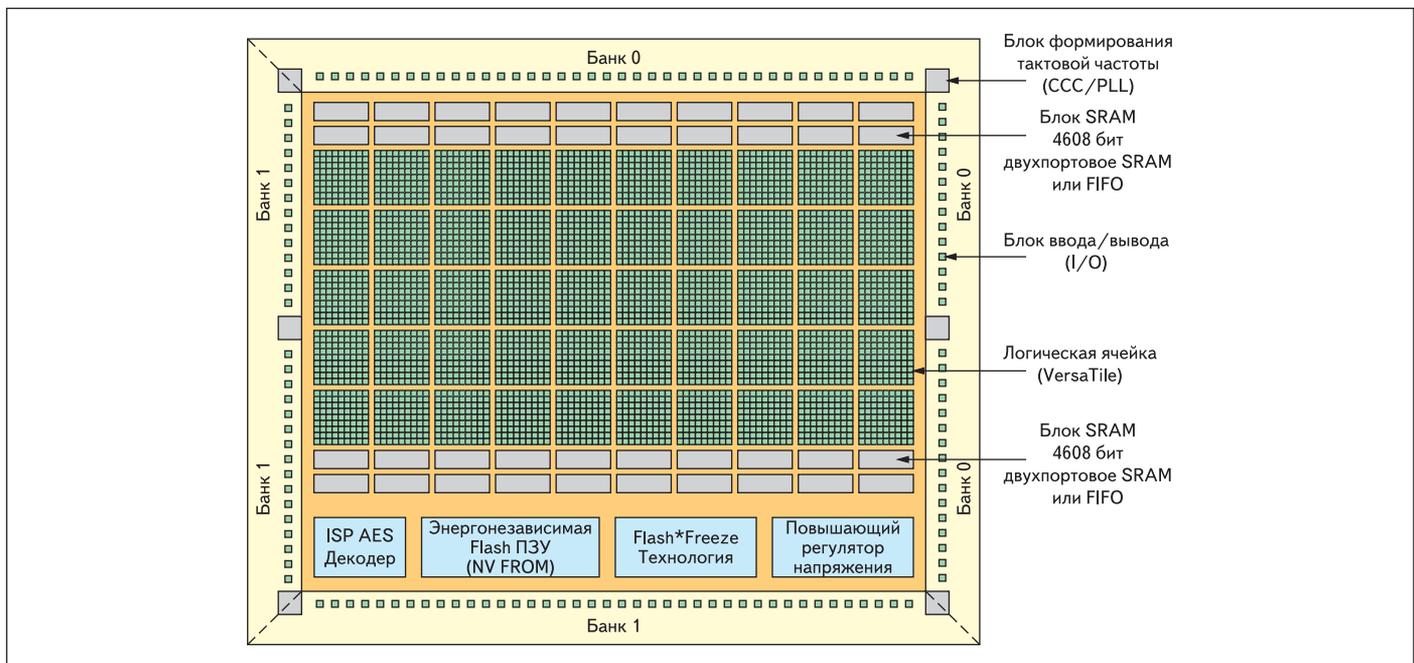


Рис. 6. Архитектура ПЛИС IGLOO

Таблица 2. Характеристики режимов работы ПЛИС

Режим	Напряжение питания ядра Vcc _i	Напряжение питания блоков ввода/вывода Vcc	Ядро	Тактовая частота	Действие для перехода в режим	Действие для выхода из режима	Ток потребления (AGL030, типовой мкА)
Активный	Подано	Подано	Активно	Вкл		Нет	>20 мкА
Статический	Idle	Подано	Пассивно	Откл	Отключить внешнюю тактовую частоту	Подать внешнюю тактовую частоту	20 мкА
	Flash*Freeze	Подано	Пассивно	Вкл	Активный уровень сигнала на выводе Flash*Freeze	Снять воздействие на выводе Flash*Freeze	4 мкА
	Flash*Freeze	Подано	Пассивно	Вкл	Активный уровень сигнала на выводе Flash*Freeze и LSICC с логической матрицы	Снять воздействие на выводе Flash*Freeze	4 мкА
Спящий	Подано	Снято	Отключено	Откл		Подать питание Vcc	5 мкА
Выключенный	Снято	Снято	Отключено	Откл		Подать питание Vcc и Vcc _i	0 мкА

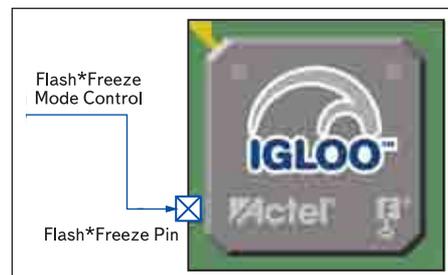


Рис. 7. Вывод управления режимом Flash*Freeze.

Таблица 3. Основные характеристики ПЛИС IGLOO/E

IGLOO	AGL030	AGL060	AGL125	AGL250	AGL600	AGL1000	AGLE600	AGLE3000
Адаптированные под Cortex-M1				M1AGL250	M1AGL600			M1AGL3000
Системных вентилях	30 000	60 000	125 000	250 000	600 000	1 000 000	600 000	3 000 000
Логических ячеек (D-триггеров)	768	1536	3072	6144	13 824	24 576	13 824	75 264
PLLs	—	1	1	1	1	1	6	6
Глобальных цепей	6	18	18	18	18	18	18	18
FlashROM, кбит	1	1	1	1	1	1	1	1
RAM Blocks (4608 бит)	—	4	8	8	24	32	24	112
RAM kbits	—	18	18	36	108	144	108	504
Среднее значение тока потребления в режиме Flash*Freeze, мкА	4	8	14	28	60	102	60	245
Ток потребления в спящем режиме I/O банков (+ JTAG)	20	24	30	48	80	122	88	273
Стандарт I/O	Std, Hot-Swap	Std+	Std+	Std+ / LVDS	Std+ / LVDS	Std+ / LVDS	Pro	Pro
Максимальное количество I/Os	81	96	133	143	235	300	270	616
Корпуса	uC81 CS81 QN132 VQ101 VQ100	CS121 QN132 VQ101 FG144	CS196 QN132 VQ101 FG145	CS196 QN132 VQ101 FG146	FG144 FG256 FG484	FG144 FG256 FG484	FG256 FG484	FG484 FG896

ПЛИС IGLOO выпускается в различных корпусах, в том числе малогабаритных с высокой плотностью выводов (CS81 5×5 мм, CS121 6×6 мм, CS196 и QN132 8×8 мм). Это особенно актуально для использования чипов в мобильных телефонах, плеерах, фотоаппаратах и других портативных устройствах.

Fusion



В 2006 году «Актел» представила новое семейство Fusion, не имеющее аналогов у других производителей ПЛИС. Это первая ПЛИС смешанного типа с интегрированным полноценным аналоговым блоком (рис. 8). Это семейство позиционируется «Актел» как «программируемый системный чип» (ПСЧ, PSC — programmable system chip).

При разработке семейства Fusion в качестве базовой была также взята архитектура ProASIC3/E. В качестве расширения, помимо аналогового блока, Fusion дополнительно

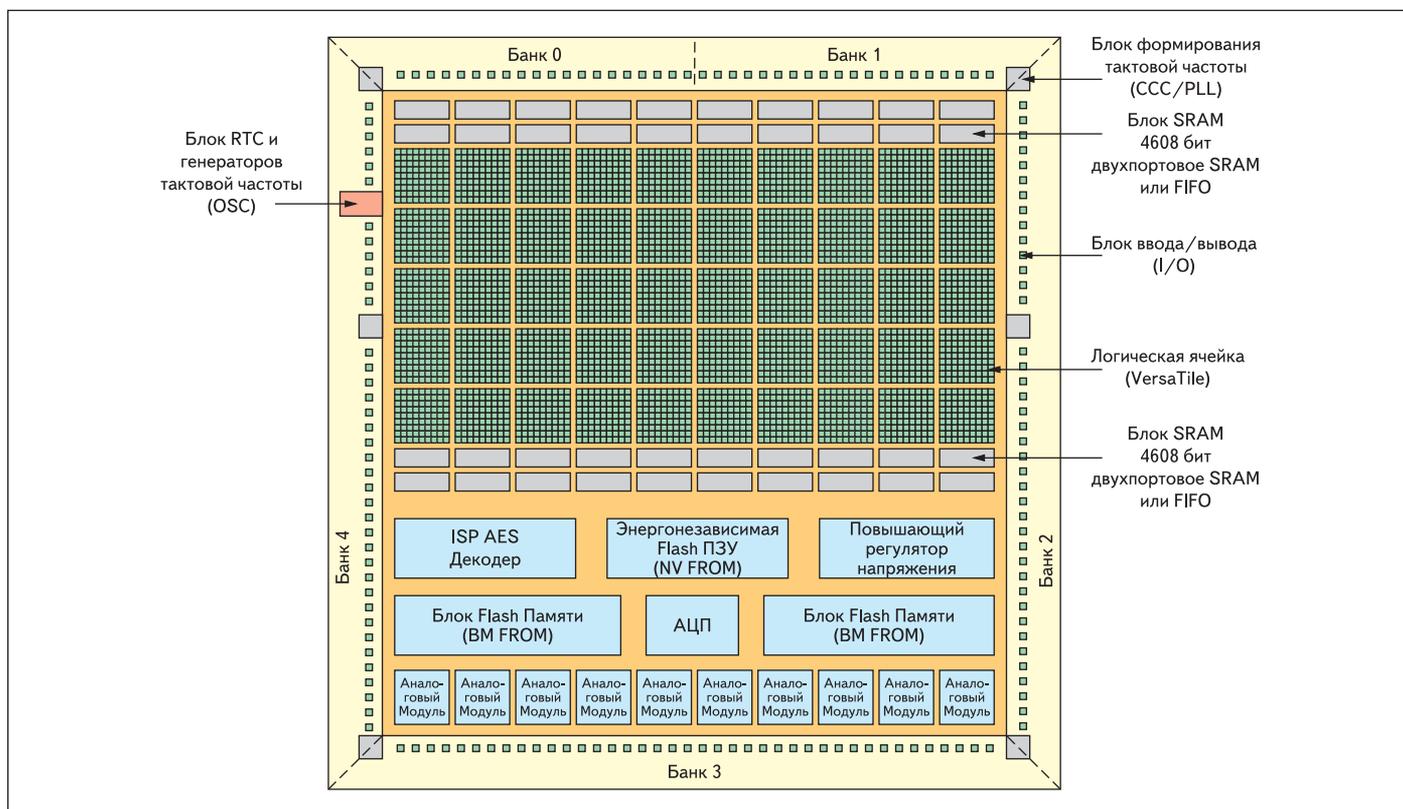


Рис. 8. Архитектура ПЛИС Fusion

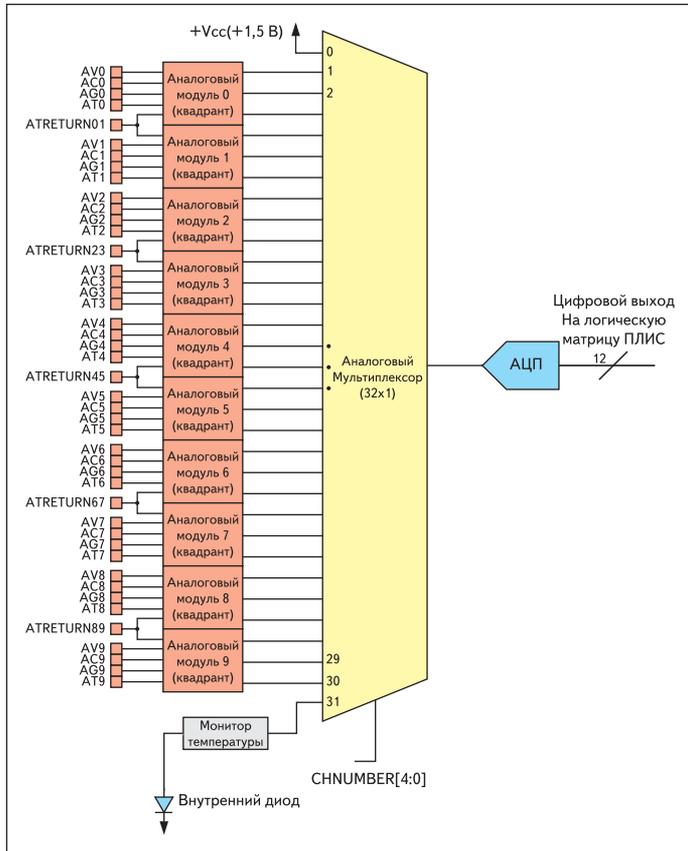


Рис. 9. Аналоговый блок

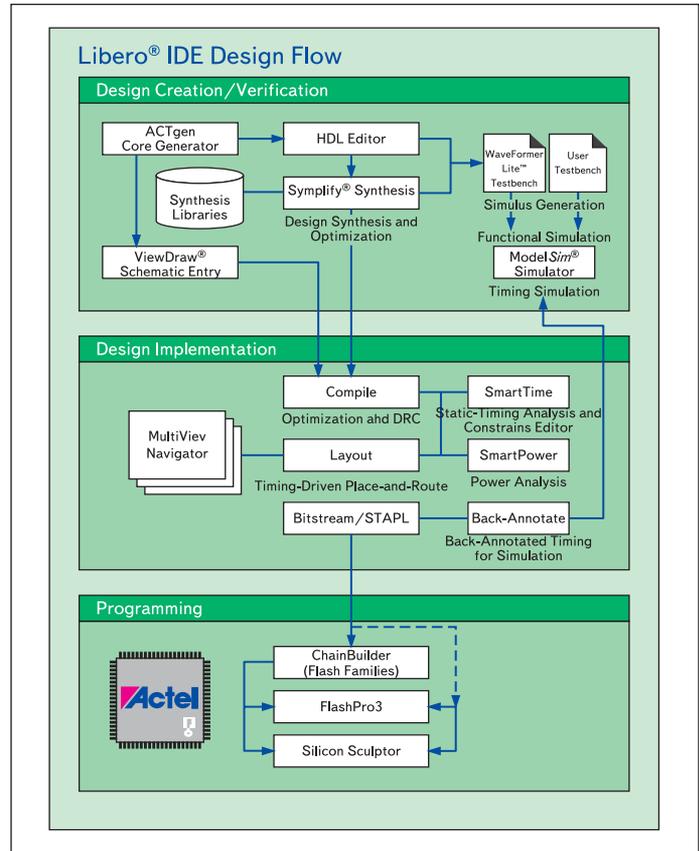


Рис. 13. Структура среды Actel LiberoIDE

содержит интегрированный блок Flash-памяти объемом до 8 Мбит со временем доступа по чтению 10 нс, блок часов реального вре-

мени (ЧРВ, RTC — Real Time Clock) с независимым питанием, кварцевый и RC-генераторы тактовой частоты.

Аналоговый блок (рис. 9) включает в себя до 10 аналоговых модулей, датчик внутренней температуры кристалла, мультиплексор

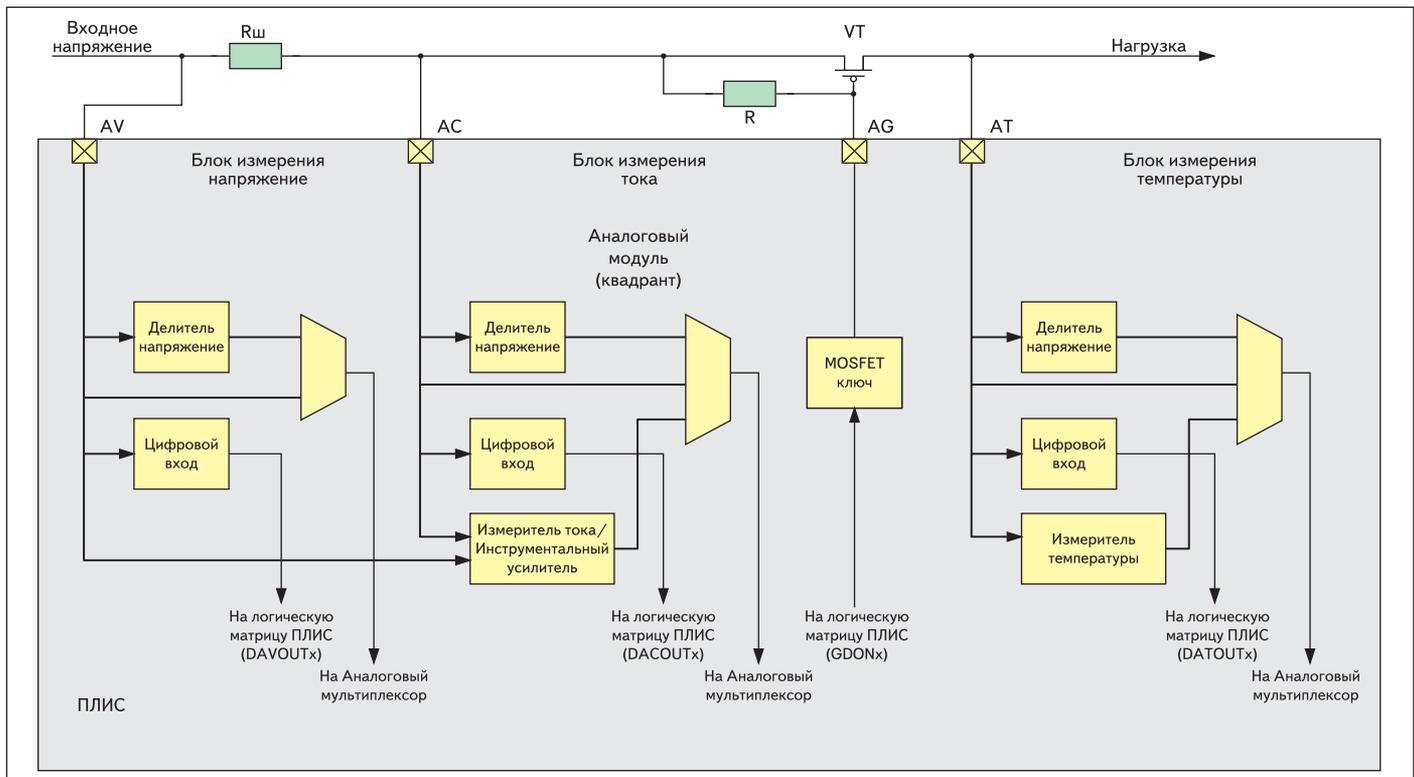


Рис. 10. Аналоговый модуль (квадрант)

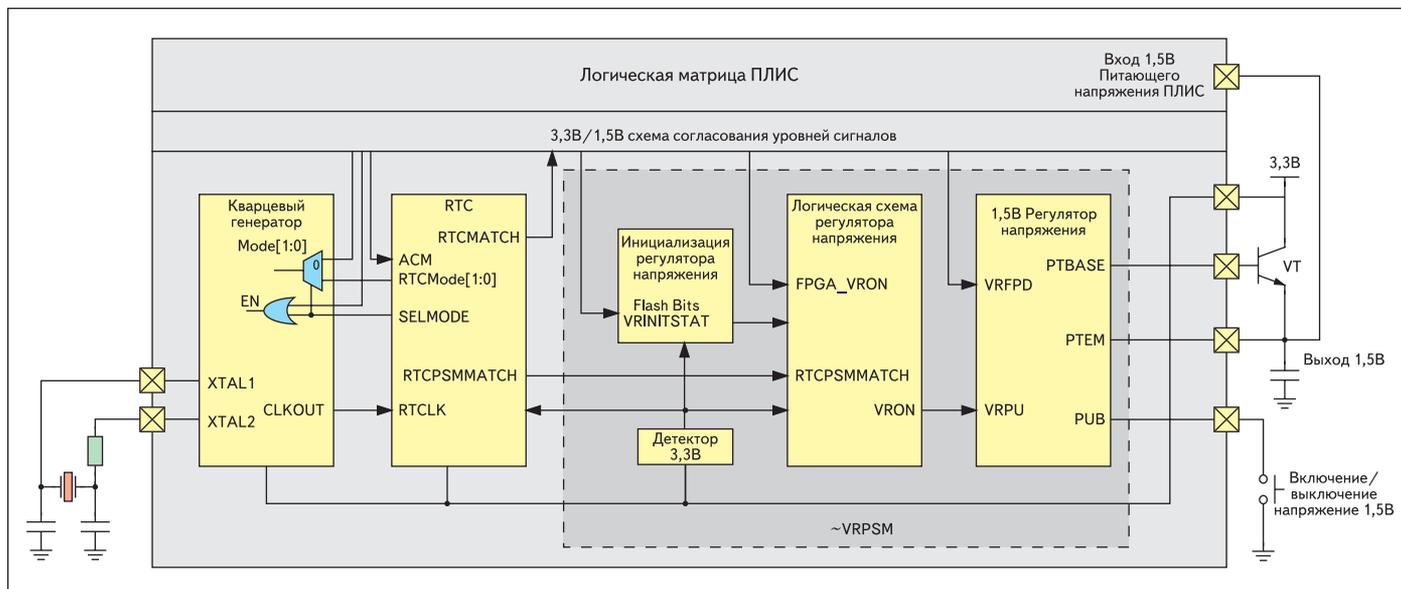


Рис. 11. Блок часов реального времени

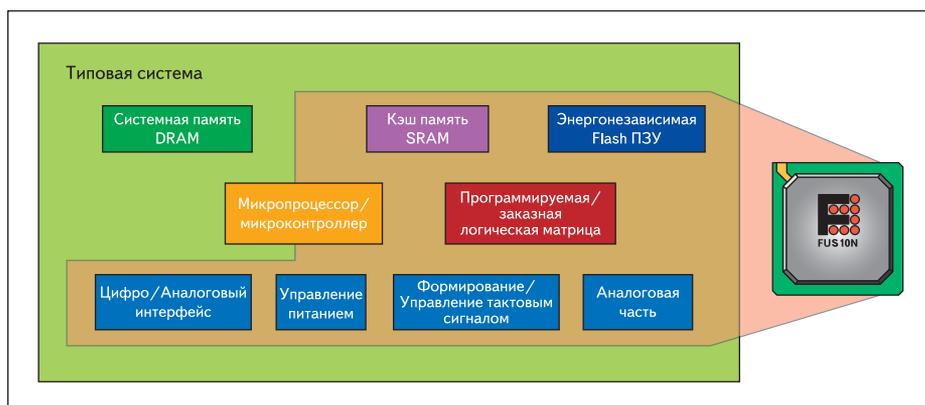


Рис. 12. Типовая микропроцессорная система

и 12-разрядный конфигурируемый АЦП с интегрированным источником опорного напряжения и частотой дискретизации до 600 квыб./с.

Аналоговые модули (рис. 10) включают в себя блоки контроля тока и напряжения с интегрированными усилителями и блоки контроля температуры, а также выход повы-

шенной мощности для управления MOSFET-ключами.

Входы могут быть сконфигурированы либо как цифровые, либо как аналоговые. На аналоговый вход можно напрямую подавать сигнал амплитудой ± 12 В.

Блок ЧРВ (рис. 11) содержит регулятор напряжения, формирующий из входного напряжения 3,3 В напряжение 1,5 В, которое может использоваться для питания ядра. Это обеспечивает возможность работать только от одного источника питающего напряжения 3,3 В.

Помимо основных режимов работы — активного, холостого хода, спящего и выключенного, Fusion имеет два дополнительных. Первый — это режим, при котором ядро работает на пониженной частоте, что позволяет уменьшить потребление. Во втором режиме обеспечивается периодический перевод ПЛИС из режима холостого хода в активный по сигналу с ЧРВ.

Как и ProASIC3/E, семейство Fusion имеет версии, адаптированные для использования процессорных ядер CoreMP7 и Cortex-M1 (табл. 4).

ПСЧ семейства Fusion имеют набор периферии, достаточный для построения типовой системы на кристалле (рис. 12), в том числе цифро-аналоговой. Развитый аналоговый блок позволяет в значительной мере сократить, а в ряде случаев и вообще обойтись без внешней аналоговой схемы.

Средства разработки

Для поддержки разработчиков «Актел» предоставляет программное обеспечение для разработки и отладки проектов дизайна ПЛИС, программирования, а также для разработки и отладки программного обеспечения под предоставляемые компанией процессорные ядра.

Таблица 4. Основные характеристики ПЛИС Fusion

Fusion		AFS090	AFS250	AFS600	AFS1500
ARM-адаптированные	CoreMP7			M7AFS600	
	Cortex-M1		M1AFS250	M1AFS600	M1AFS1500
Системных вентиляей		90 000	250 000	600 000	1 500 000
Логических ячеек (D-триггеров)		2304	6144	13 824	38 400
PLLs		1	1	2	2
Глобальных цепей		18	18	18	18
Flash Memory Blocks (2 Мбит)		1	1	2	4
Total Flash Memory, Мбит		2	2	4	8
FlashROM, кбит		1	1	1	1
RAM Blocks (4608 бит)		6	8	24	60
RAM кбит		27	36	108	270
Аналоговых квадрантов		5	6	10	10
Аналоговых каналов		15	18	30	30
Выходов повышенной мощности		5	6	10	10
I/O банков (+ JTAG)		4	4	5	5
Максимальное количество цифровых I/Os		75	114	172	252
Аналоговых I/Os		20	24	40	40
Корпуса		QN108 QN180 FG256	QN180 PQ208 FG256	PQ208 FG256 FG484	FG256 FG484 FG676

Для разработки дизайна ПЛИС используется интегрированная среда Actel LiberoIDE. Начиная с версии Actel LiberoIDE 7.3 пакет включает в себя все необходимые компоненты для разработки, синтеза и отладки дизайна под семейства ProASIC3/E, IGLOO/E и Fusion. Кроме того, в пакет включены все необходимые программные инструменты для программирования ПЛИС всех семейств, выпускаемых корпорацией «Актел». На рис. 13 представлена архитектура пакета.

Бесплатная лицензия обеспечивает возможность разработки проектов под ПЛИС объемом до 1 млн логических вентилей.

CoreConsole — среда разработки, которая позволяет быстро и легко создавать дизайн процессорных систем. На рис. 14 представлено окно пакета с разработанным дизайном процессора MP7. Отдельные модули микропроцессорной системы предоставляются разработчикам в виде готовых библиотечных конфигурируемых элементов — непосредственно ядра процессоров, таймер, контроллеры памяти, контроллеры последовательных и параллельных интерфейсов и т. д. Это позволяет эффективно разрабатывать процессорные системы с требуемым набором периферии в соответствии с решаемой задачей.

Разработанные в CoreConsole процессорные модули затем можно использовать в дизайнах разработчиков в виде готовых библиотечных элементов Actel LiberoIDE.

На данный момент «Актел» предоставляет возможность разрабатывать системы на базе следующих процессорных платформ:

- ARM:
 - Cortex-M1;
 - CoreMP7;
- 8051;
- CoreABC;
- LEON3;
- AMBA.

SoftConsole — интегрированный пакет для разработки и отладки программного обеспе-

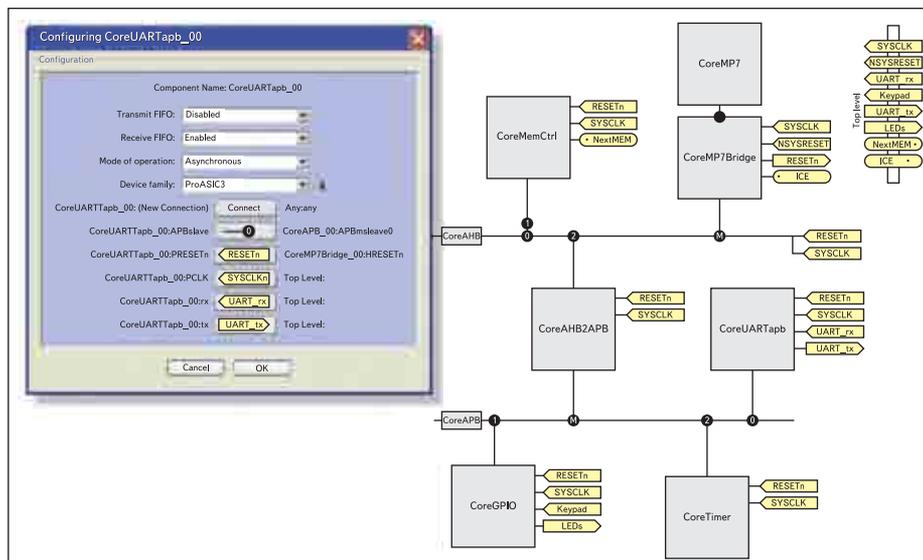


Рис. 14. Пример разработки процессорной системы с ядром CoreMP7 в CoreConsole

чения для микропроцессорных систем, разрабатываемых на базе Flash ПЛИС «Актел». Он включает текстовый редактор кода программы, компилятор и отладчик Си, который позволяет, используя программатор FlashPro3, отлаживать скомпилированный код непосредственно на плате. Последняя на сегодня версия SoftConsole 2.1 позволяет разрабатывать и отлаживать код под процессорные ядра CoreMP7, Cortex-M1 и 8051.

Пакеты CoreConsole и SoftConsole являются абсолютно бесплатными.

В качестве аппаратных средств разработки «Актел» предлагает отладочный набор (StarterKit). Он включает в себя плату с ПЛИС соответствующего семейства, программатор FlashPro3, пакет Actel LiberoIDE Gold и примеры дизайна. Этот набор средств позволяет разработчикам на практике познакомиться с ПЛИС, а также начать разработку и отладку дизайна до того, как будет изготовлена собственная плата.

«Актел» активно развивает направление ПЛИС на основе Flash-технологии, сочетающих преимущества заказных ПЛИС, такие как энергонезависимость, надежность и низкое потребление, с возможностью многократного перепрограммирования. Наличие полного набора ПО для разработки и отладки в сочетании с широким выбором ПЛИС позволяет быстро и эффективно создавать системы с требуемыми характеристиками и минимальным набором внешней периферии. ■

Литература

1. www.actel.ru
2. CoolRunner-II CPLD Family: Data Sheet, DS090 (v3.0) March 8, 2007. www.xilinx.com
3. Spartan-3 FPGA Family: Complete Data Sheet, DS099 May 25, 2007, www.xilinx.com
4. Section I. Cyclone FPGA Family Data Sheet, January 2007, Altera Corporation, www.altera.com